

+

02/16/00

JC490 U.S. PTO

# UTILITY PATENT APPLICATION TRANSMITTAL

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Attorney Docket No.

35.C14241

First Named Inventor or Application Identifier

NOBUHIRO ITO

Express Mail Label No.

## APPLICATION ELEMENTS

See MPEP chapter 600 concerning utility patent application contents.

## ADDRESS TO:

Assistant Commissioner for Patents  
Box Patent Application  
Washington, DC 20231

JC678 U.S. PTO  
09/505627  
02/16/00

1. ☒ Fee Transmittal Form  
(Submit an original, and a duplicate for fee processing)
2. ☒ Specification Total Pages
3. ☒ Drawing(s) (35 USC 113) Total Sheets
4. ☒ Oath or Declaration Total Pages
- a. ☐ Newly executed (original or copy)
- b. ☒ Unexecuted for information purposes
- c. ☐ Copy from a prior application (37 CFR 1.63(d))  
(for continuation/divisional with Box 17 completed)  
**[Note Box 5 below]**
- i. ☐ DELETION OF INVENTOR(S)  
Signed Statement attached deleting  
inventor(s) named in the prior application, see  
37 CFR 1.63(d)(2) and 1.33(b).
5. ☐ Incorporation By Reference (useable if Box 4c is checked)  
The entire disclosure of the prior application, from which a copy of  
the oath or declaration is supplied under Box 4c, is considered as  
being part of the disclosure of the accompanying application and is  
hereby incorporated by reference therein.

6. ☐ Microfiche Computer Program (Appendix)
7. Nucleotide and/or Amino Acid Sequence Submission  
(if applicable, all necessary)
- a. ☐ Computer Readable Copy
- b. ☐ Paper Copy (identical to computer copy)
- c. ☐ Statement verifying identity of above copies

## ACCOMPANYING APPLICATION PARTS

8. ☐ Assignment Papers (cover sheet & document(s))
9. ☐ 37 CFR 3.73(b) Statement ☐ Power of Attorney  
(when there is an assignee)
10. ☐ English Translation Document (if applicable)
11. ☐ Information Disclosure ☐ Copies of IDS  
Statement (IDS)/PTO-1449 Citations
12. ☐ Preliminary Amendment
13. ☒ Return Receipt Postcard (MPEP 503)  
(Should be specifically itemized)
14. ☐ Small Entity ☐ Statement filed in prior application  
Statement(s) Status still proper and desired
15. ☐ Certified Copy of Priority Document(s)  
(if foreign priority is claimed)
16. ☒ Other: Communication

17. If a CONTINUING APPLICATION, check appropriate box and supply the requisite information:

☐ Continuation ☐ Divisional ☐ Continuation-in-part (CIP) of prior application No. \_\_\_\_\_

## 18. CORRESPONDENCE ADDRESS

☒ Customer Number or Bar Code Label 05514 (Insert Customer No. or Attach bar code label here) or ☐ Correspondence address below

NAME

Address

City

State

Zip Code

Country

Telephone

Fax



CLAIMS	(1) FOR	(2) NUMBER FILED	(3) NUMBER EXTRA	(4) RATE	(5) CALCULATIONS
	TOTAL CLAIMS (37 CFR 1.16(c))	56-20 =	36	X \$ 18.00 =	\$ 648 .00
	INDEPENDENT CLAIMS (37 cfr 1.16(b))	6-3 =	3	X \$ 78.00 =	234.00
	MULTIPLE DEPENDENT CLAIMS (if applicable) (37 CFR 1.16(d))			\$ 260.00 =	\$ 0. 00
				BASIC FEE (37 CFR 1.16(a))	\$ 690.00
			Total of above Calculations =		\$1572.00
	Reduction by 50% for filing by small entity (Note 37 CFR 1.9, 1.27, 1.28).				
	TOTAL =				\$1572.00

19. Small entity status

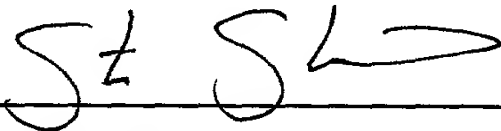
- a. ☐ A Small entity statement is enclosed
- b. ☐ A small entity statement was filed in the prior nonprovisional application and such status is still proper and desired.
- c. ☐ Is no longer claimed.

20. ☒ A check in the amount of \$ 1572.00 to cover the filing fee is enclosed.

21. ☐ A check in the amount of \$ \_\_\_\_\_ to cover the recordal fee is enclosed.

22. The Commissioner is hereby authorized to credit overpayments or charge the following fees to Deposit Account No. 06-1205:

- a. ☒ Fees required under 37 CFR 1.16.
- b. ☐ Fees required under 37 CFR 1.17.
- c. ☐ Fees required under 37 CFR 1.18.

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT REQUIRED	
NAME	Steven W. Stewart - Reg. No. 45,133
SIGNATURE	
DATE	February 16, 2000

MAW/SWS/cmv

PATENT APPLICATION

In re Application of: )  
: Examiner: Unassigned  
NOBUHIRO ITO )  
: Group Art Unit: Unassigned  
Application No.: Unassigned )  
:   
Filed: February 16, 2000 )  
(Concurrently Herewith) :  
)   
For: MANUFACTURING METHOD :  
OF ELECTRON BEAM )  
APPARATUS AND SPACER, : February 16, 2000  
AND ELECTRON BEAM )  
APPARATUS :  
:

Assistant Commissioner for Patents  
Washington, D.C. 20231

## COMMUNICATION

Sir:

This application is being filed in the Japanese language pursuant to MPEP 608.01 and 37 CFR 1.52(d). Applicant will file an English translation of the specification and claims, along with a statement that the translation is accurate, an executed declaration, and any additional fees, at the time to be set forth by the Patent Office.

Applicant's undersigned attorney may be reached in  
our Washington, D.C. office by telephone at (202) 530-1010.  
All correspondence should continue to be directed to our  
below listed address.

Respectfully submitted,

  
\_\_\_\_\_  
Attorney for Applicant

Registration No. 45,133

FITZPATRICK, CELLA, HARPER & SCINTO  
30 Rockefeller Plaza  
New York, New York 10112-3801  
Facsimile: (212) 218-2200

MAW\SWS

図 1 A

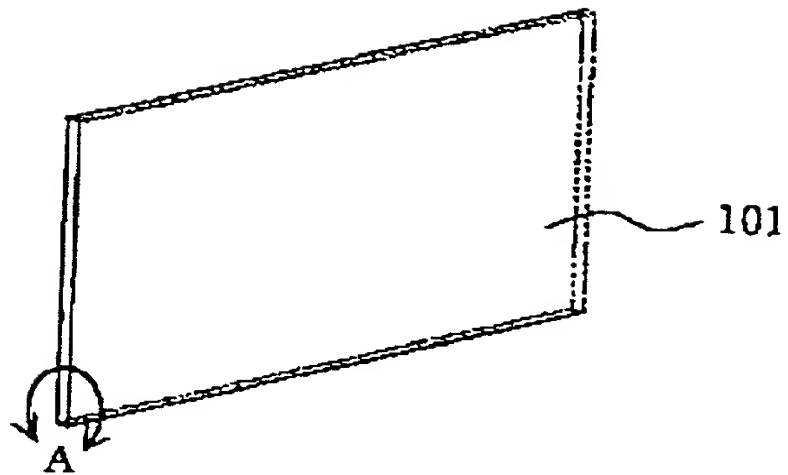
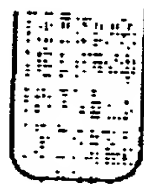


図 1 B



A部詳細

図 1 C

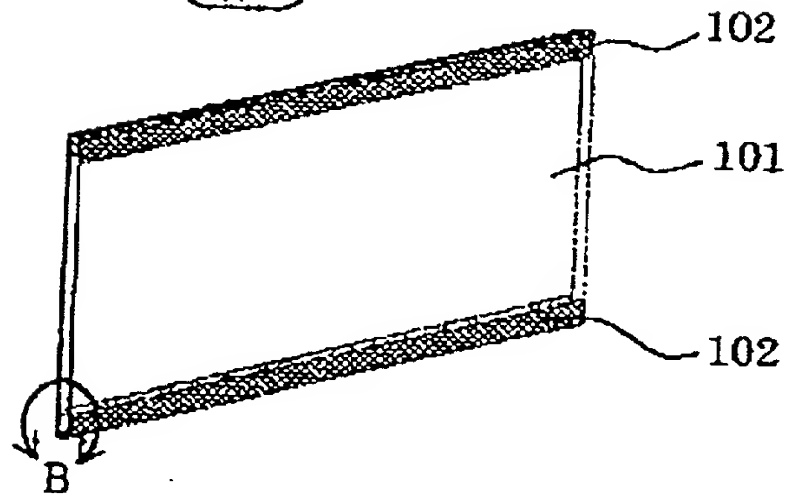
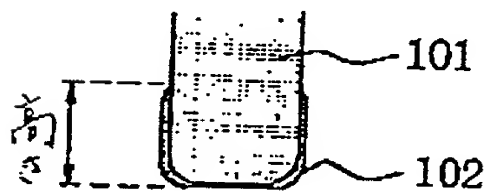


図 1 D



B部詳細

図 1 E

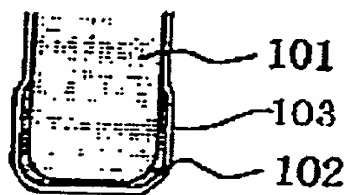


図 2 A

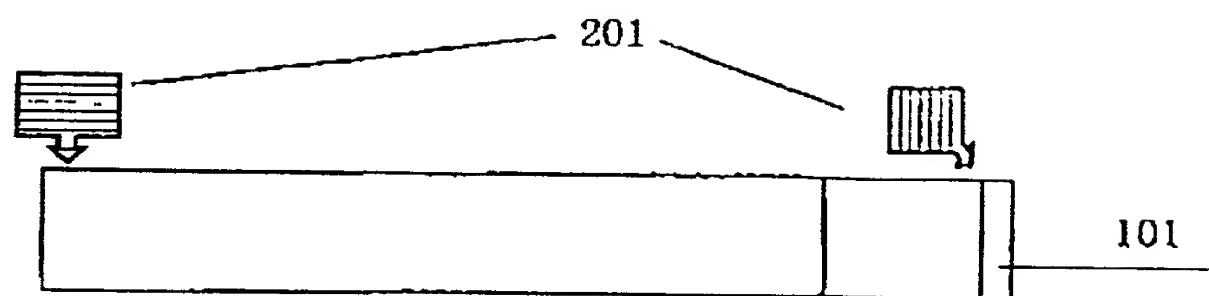


図 2 B

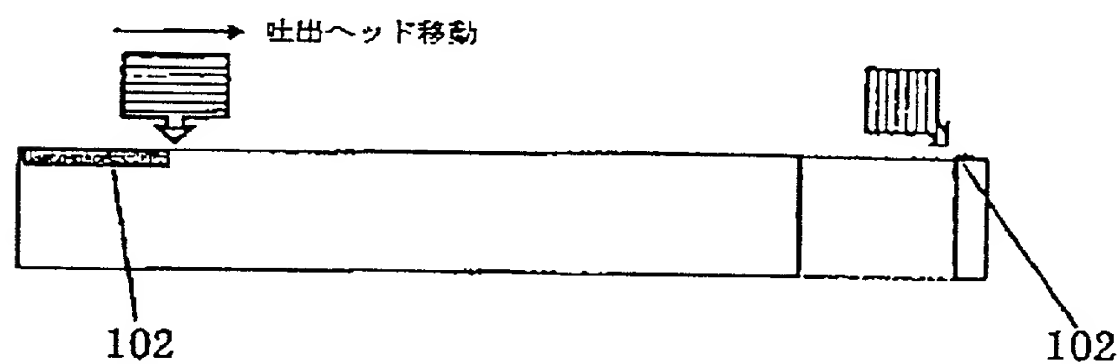


図 2 C

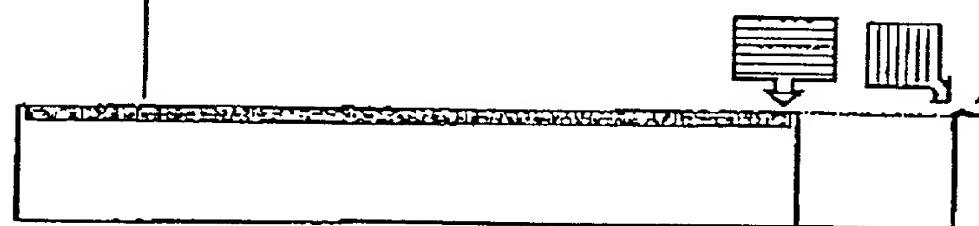


図 2 D

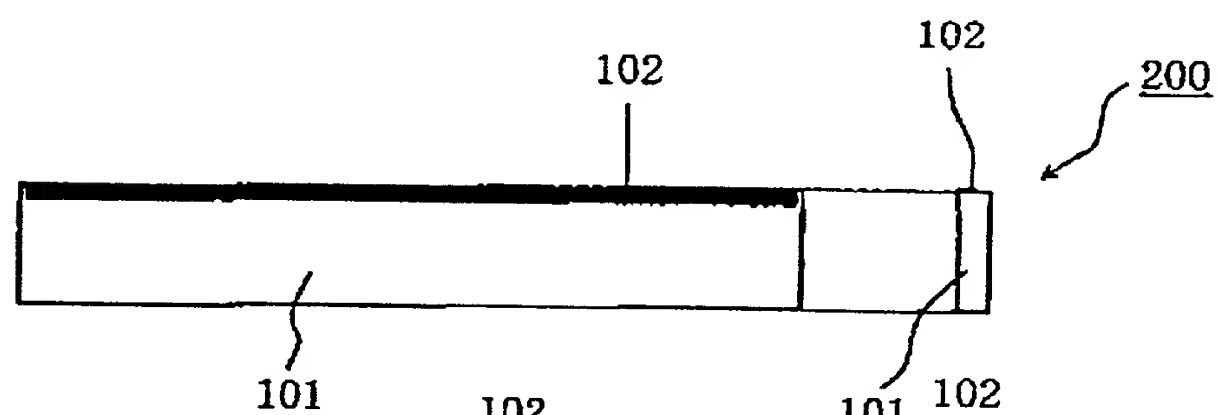


図 2 E

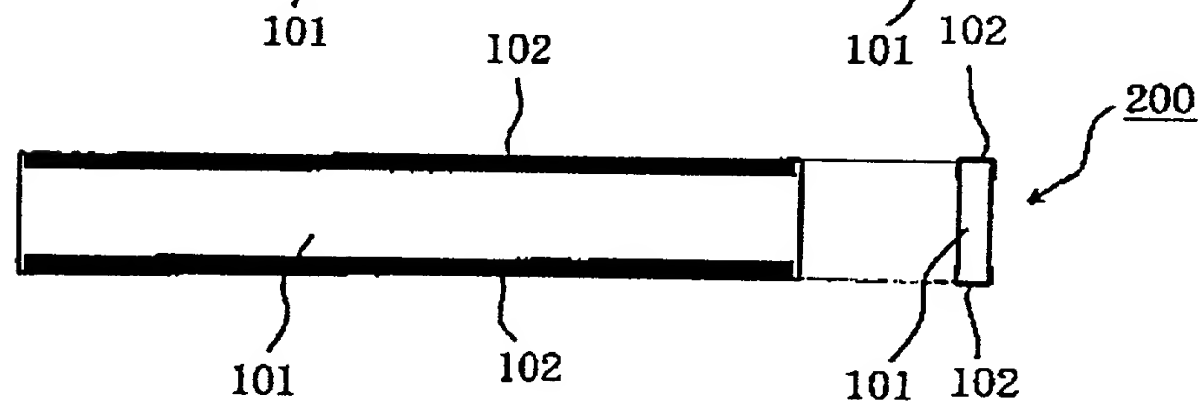
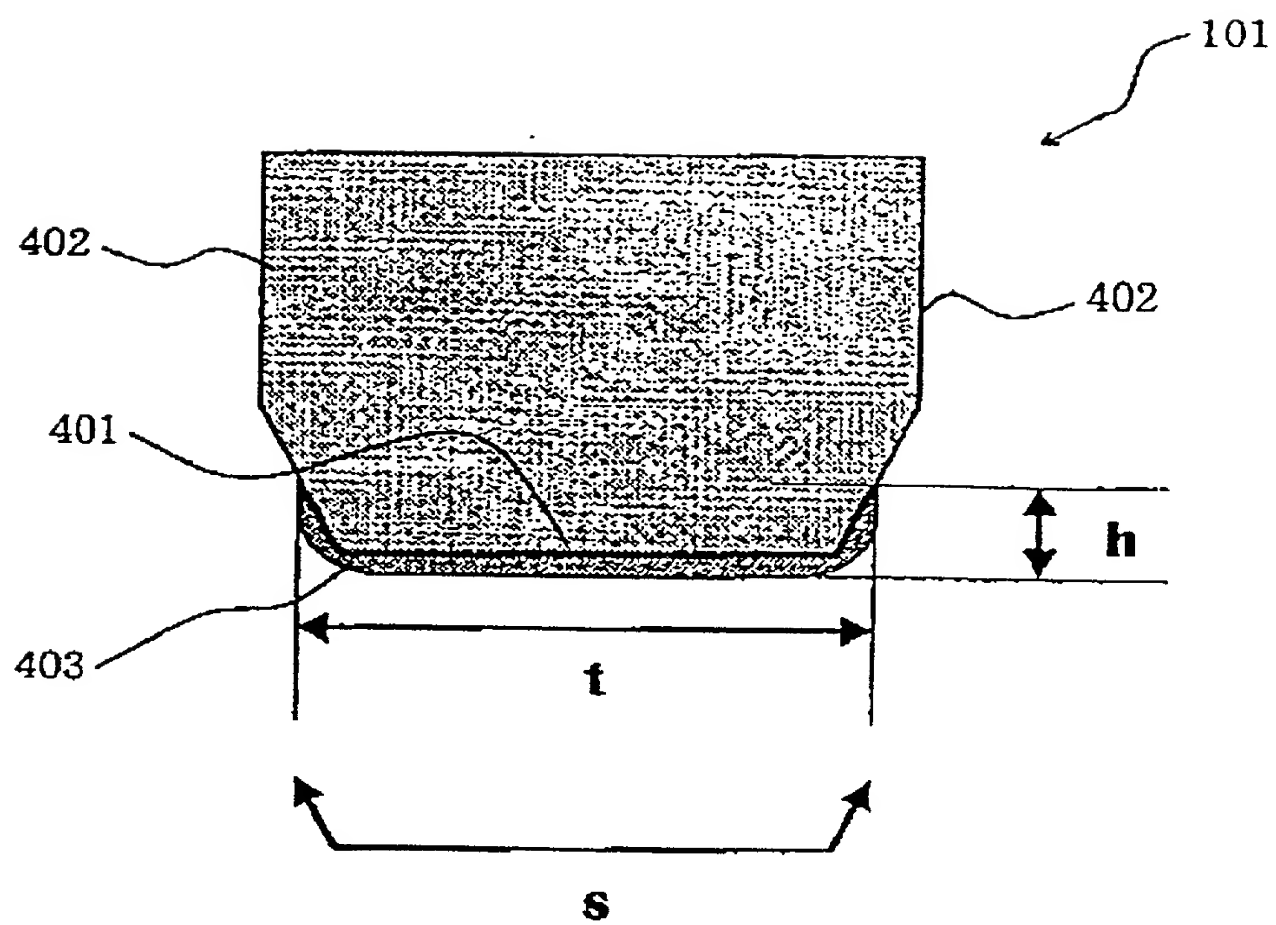




图 4







吐出ヘッド移動

図 6 A

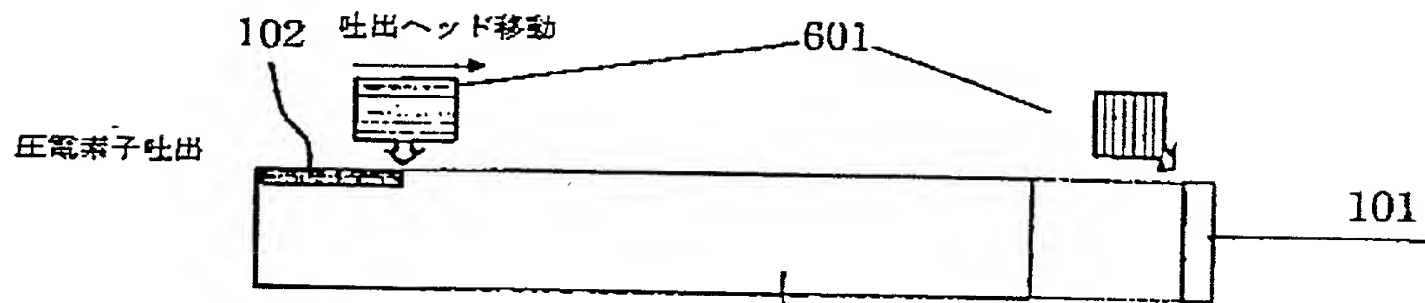


図 6 B

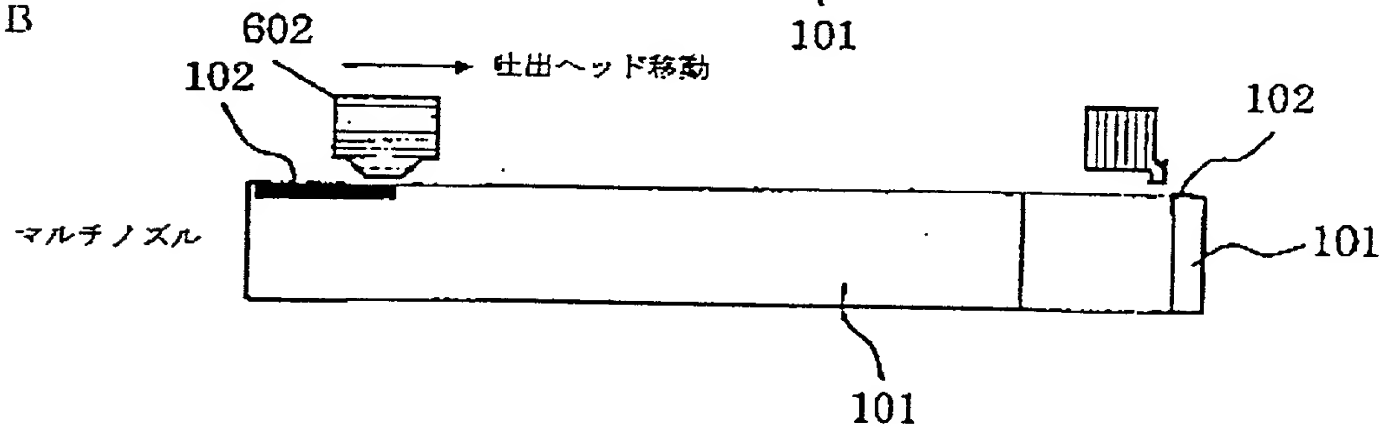


図 6 C

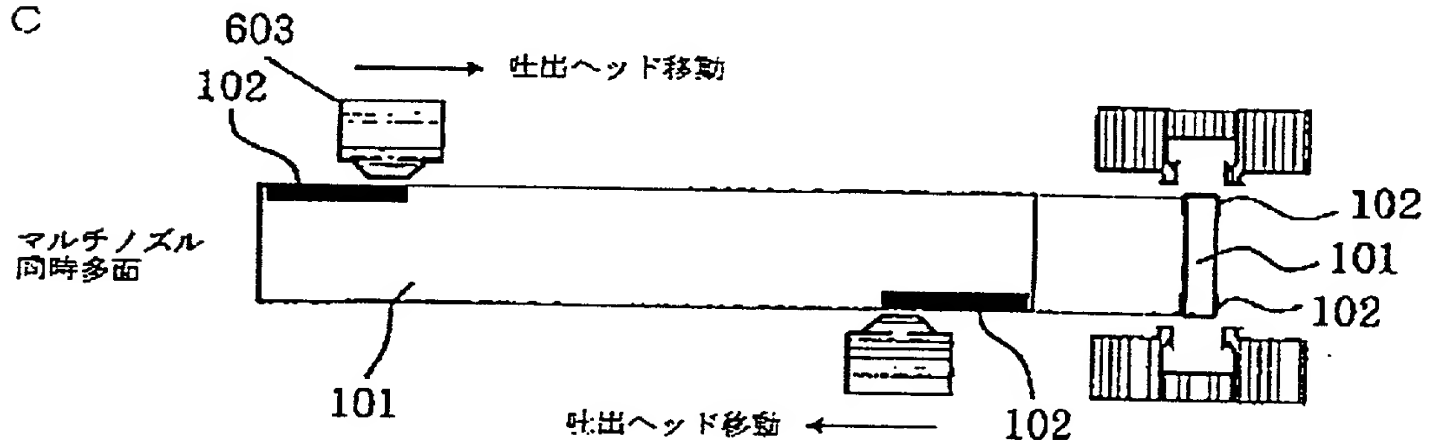
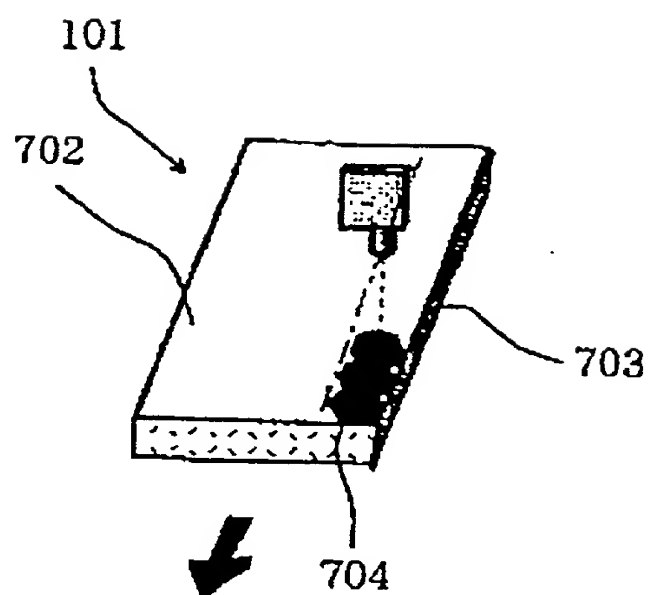
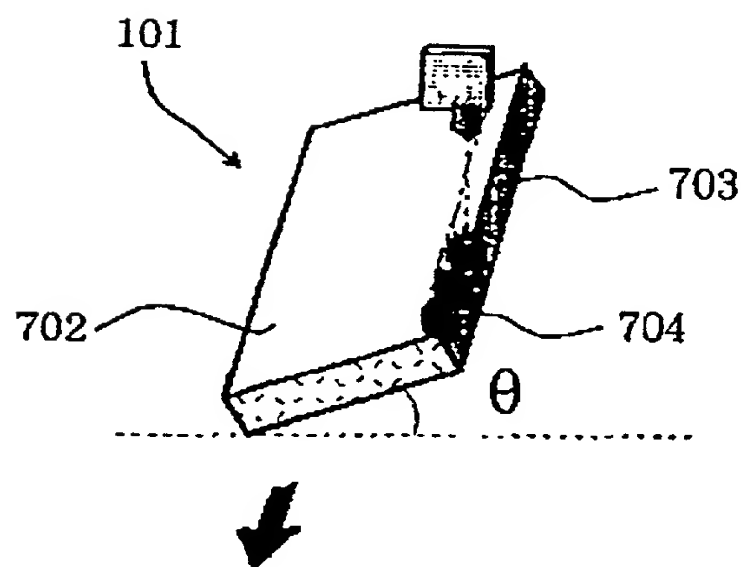


図 7 A



垂直打ち(平置き)

図 7 B



斜め打ち(傾斜)  
側面、底面同時形成

図 8 A

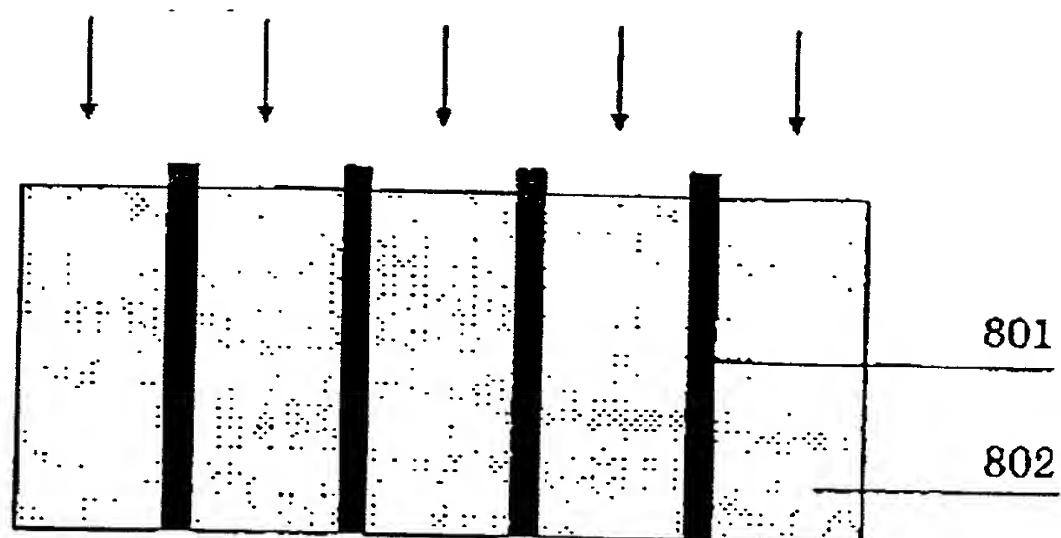


図 8 B

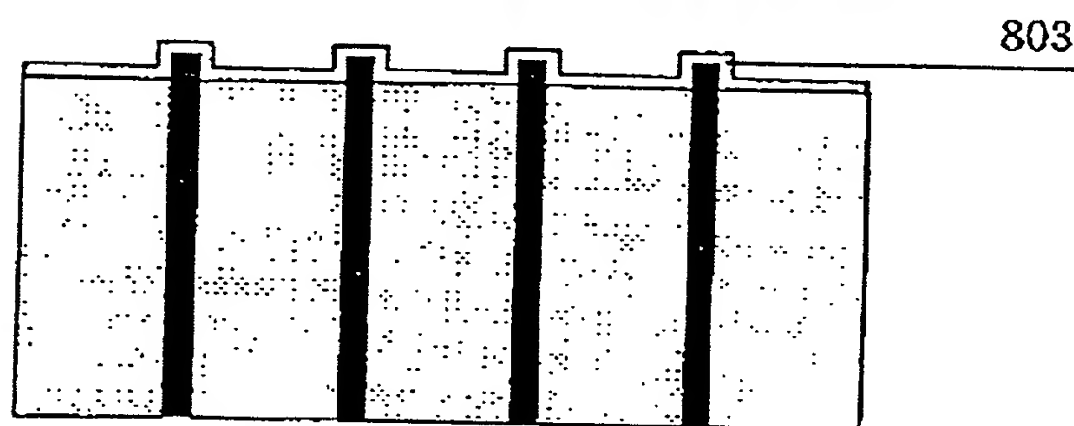


図 8 C

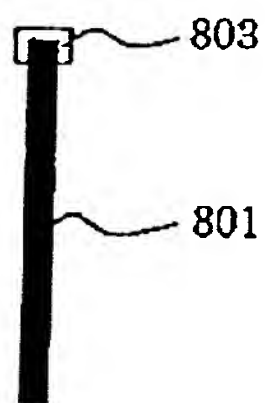


図 8 D

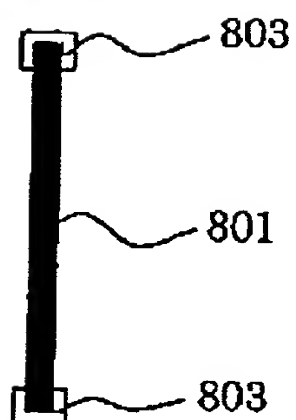




图 10

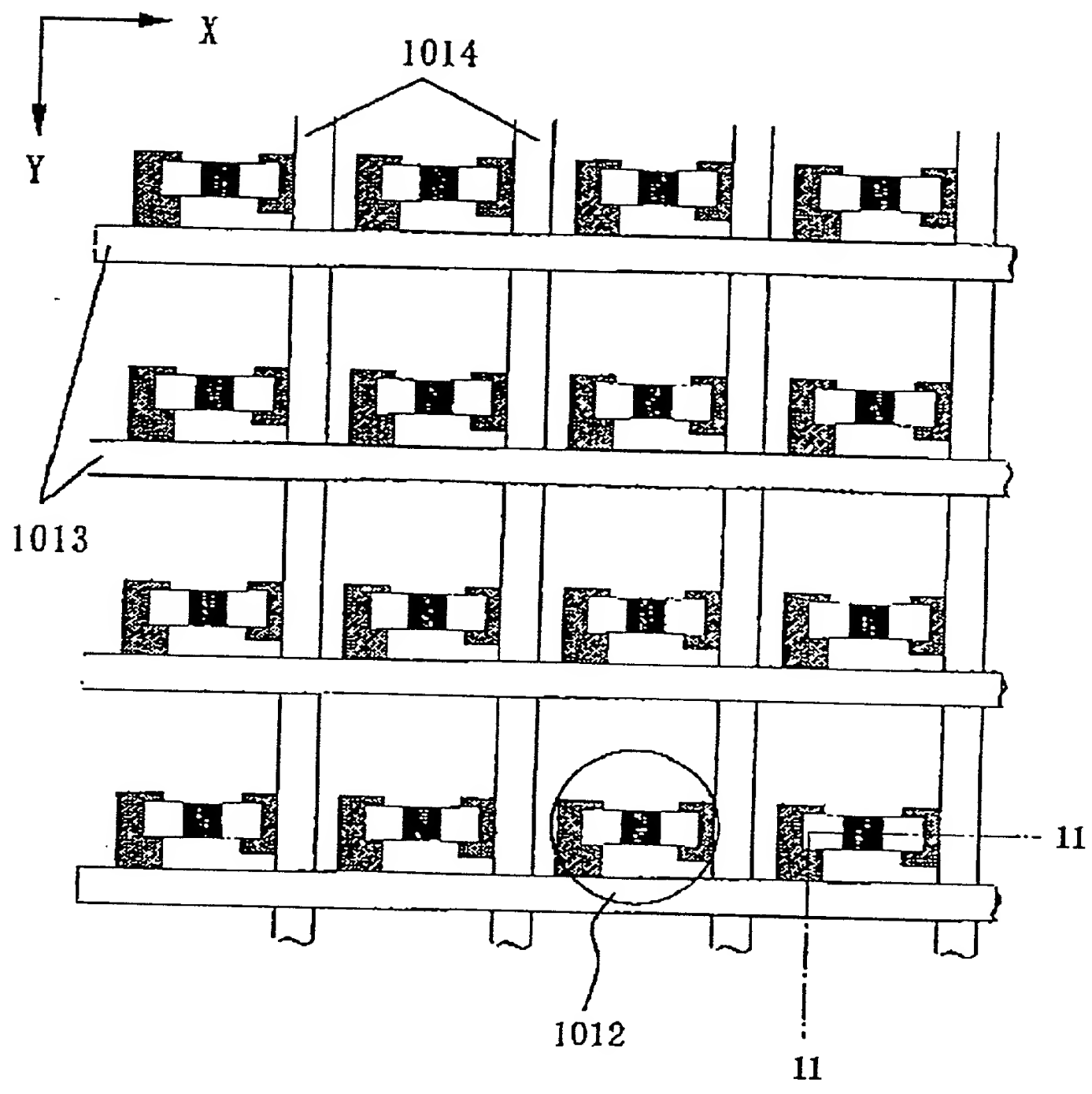


図 1 1

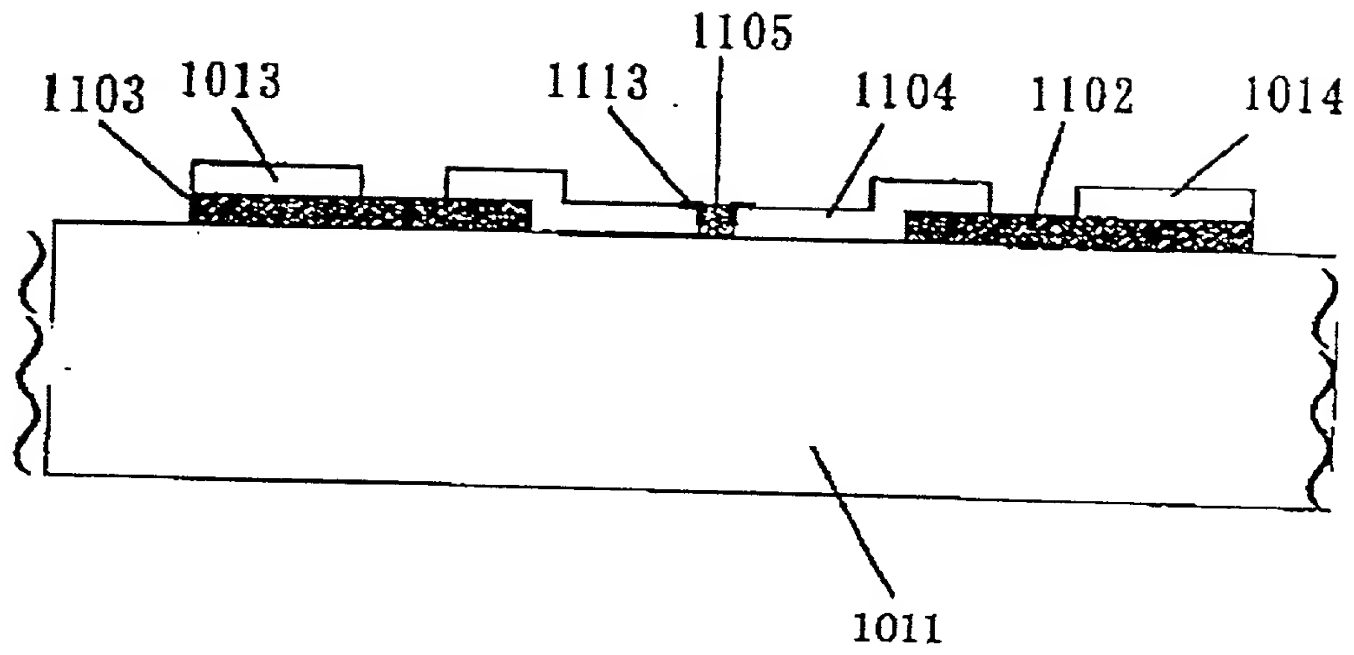


図 1 2

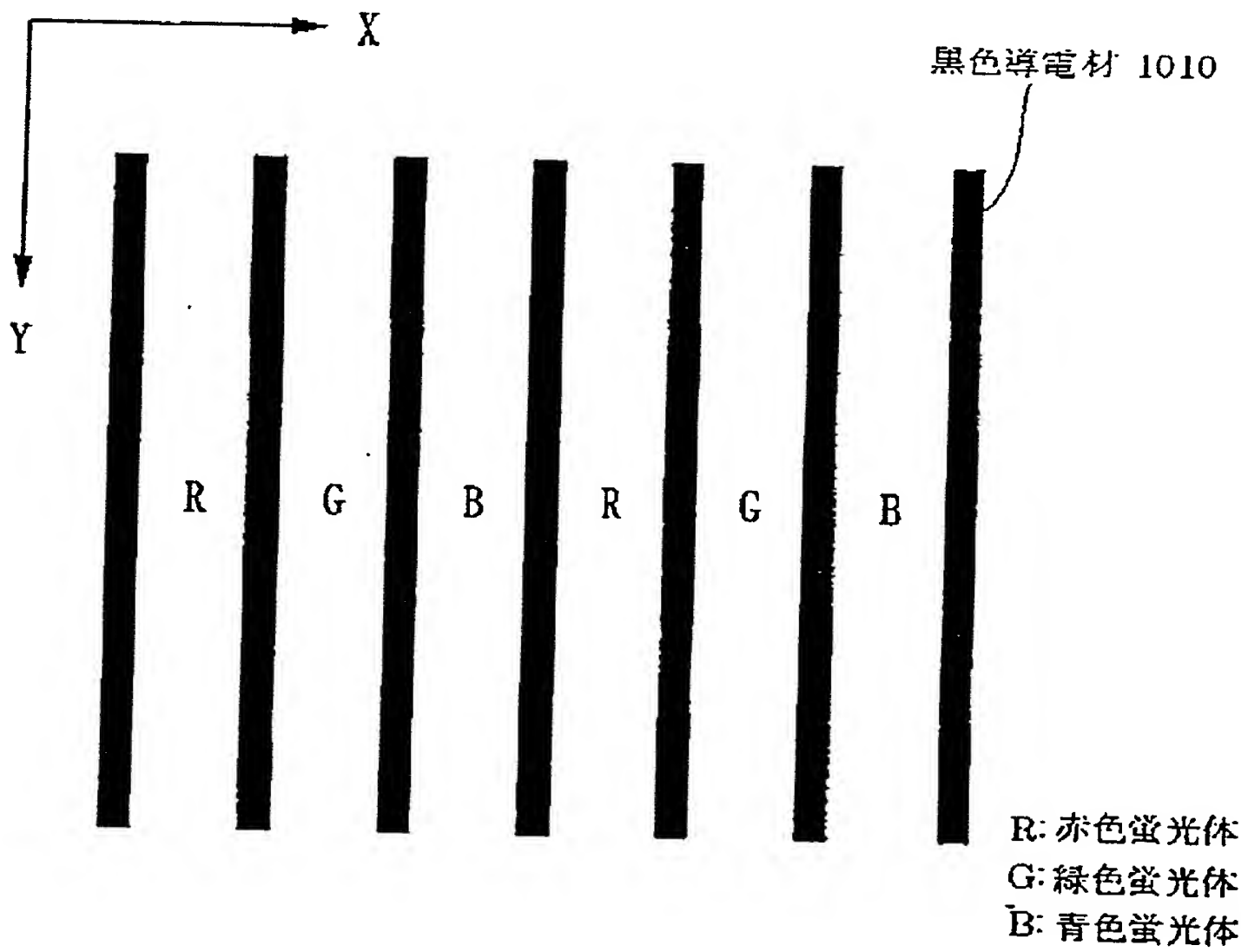


図 13

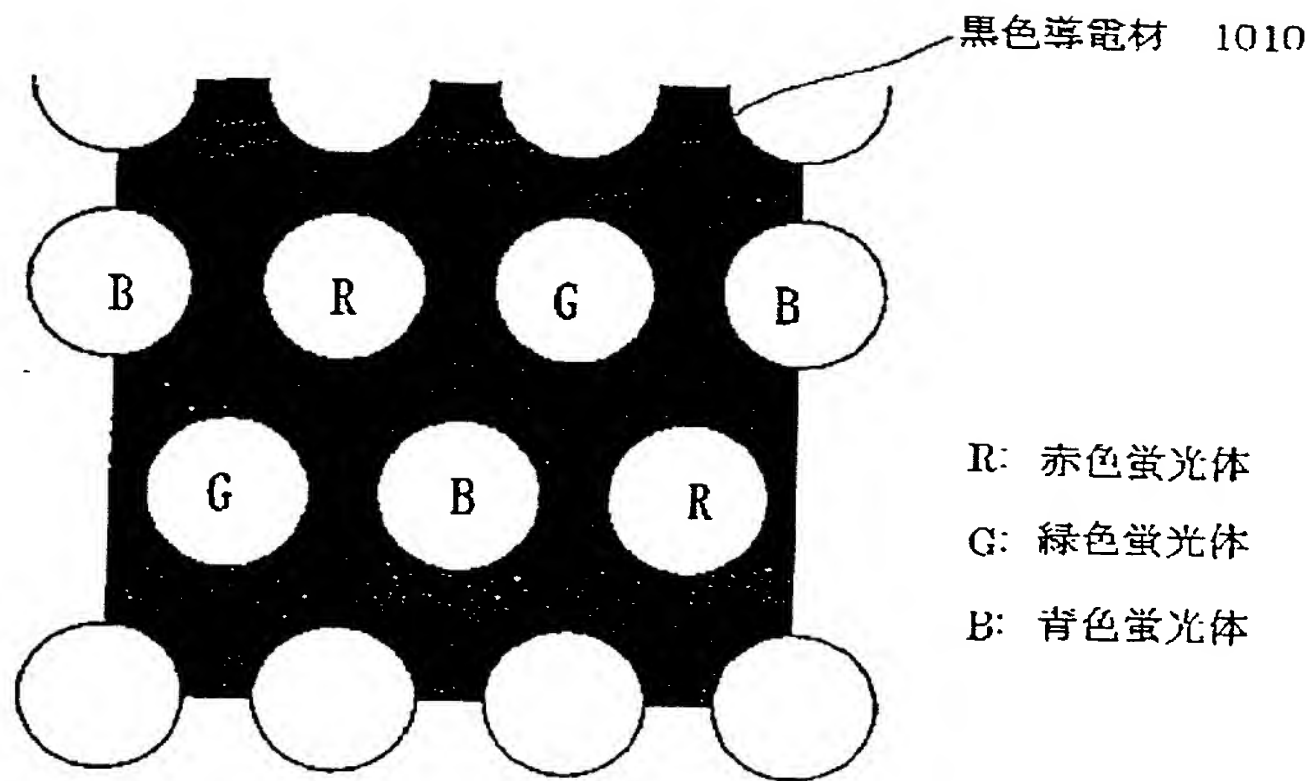




图 14

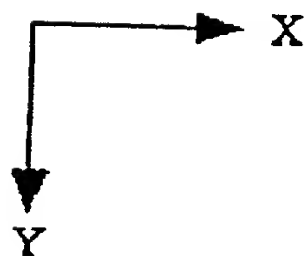
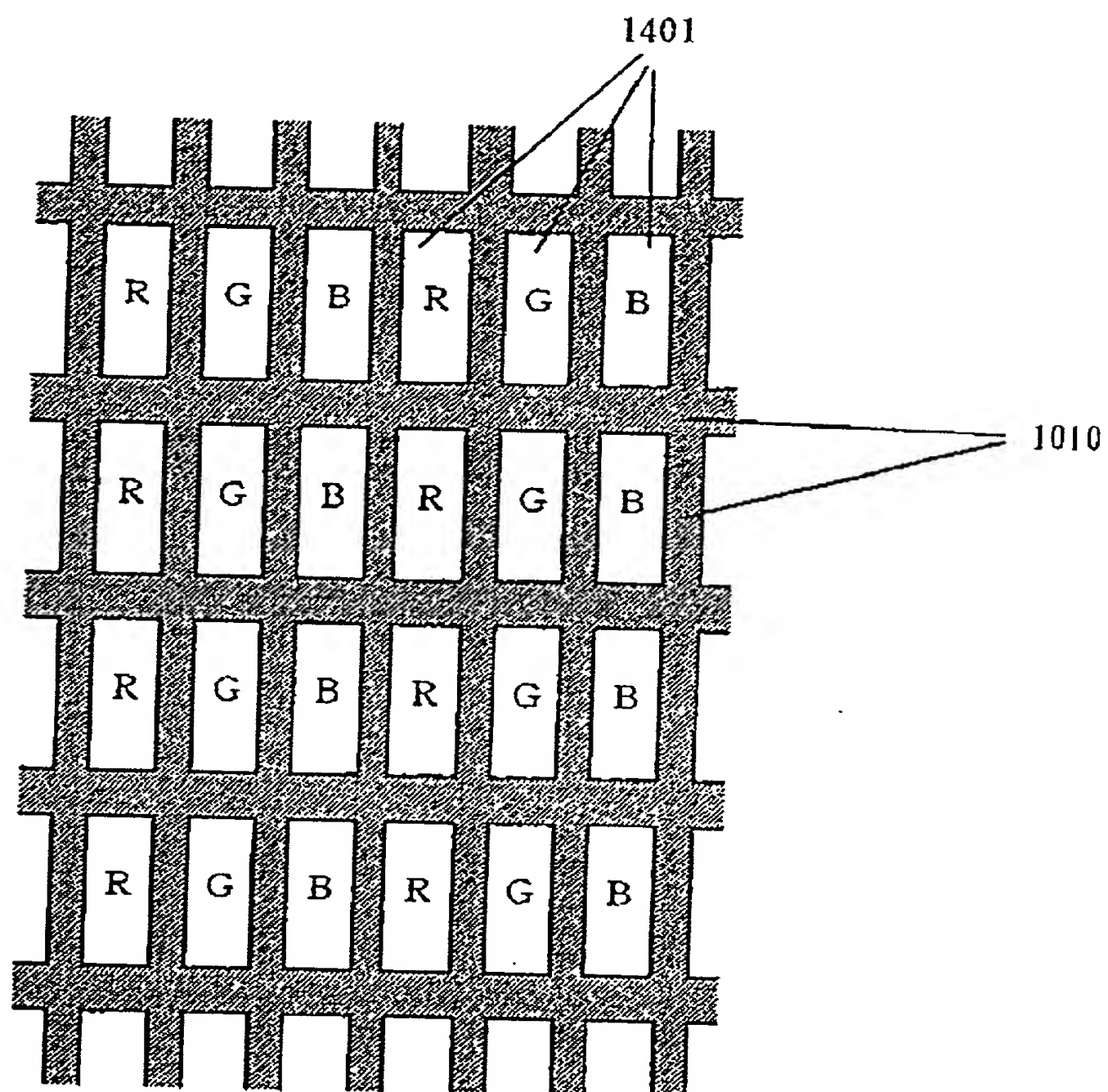




図 16 A

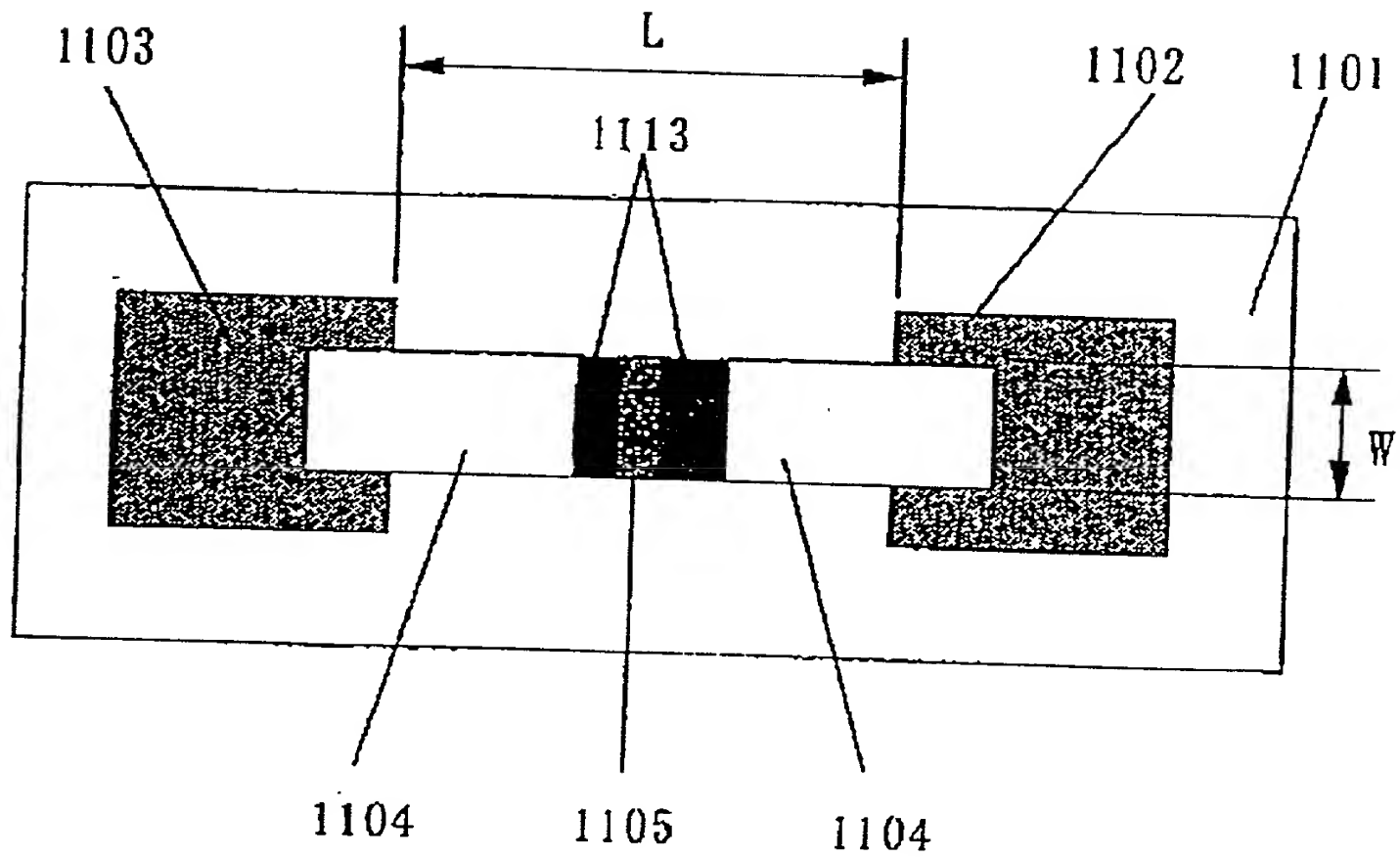


図 16 B

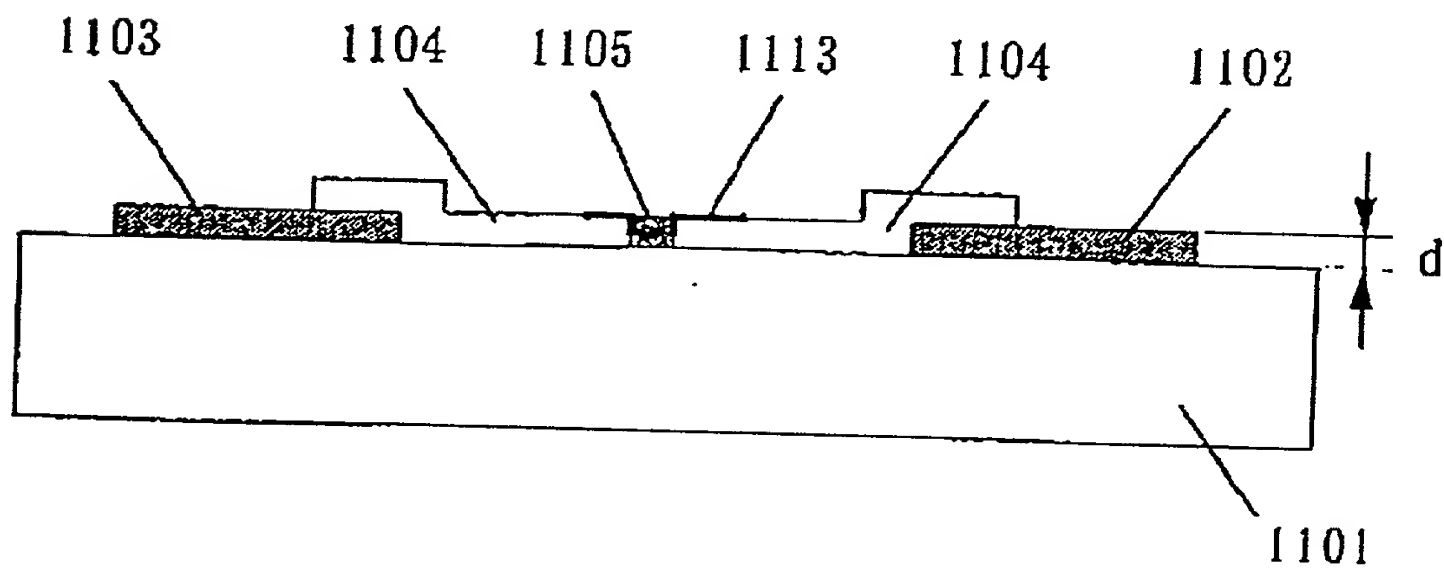


図 17 A

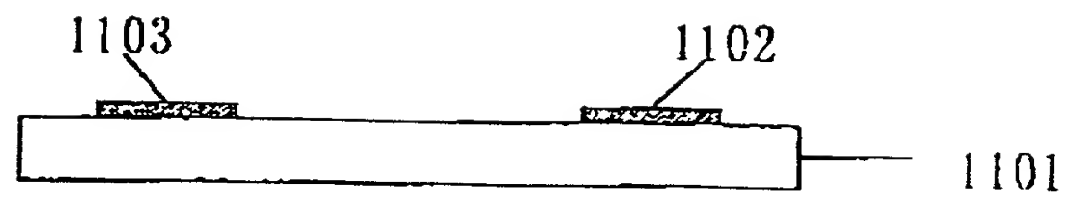


図 17 B

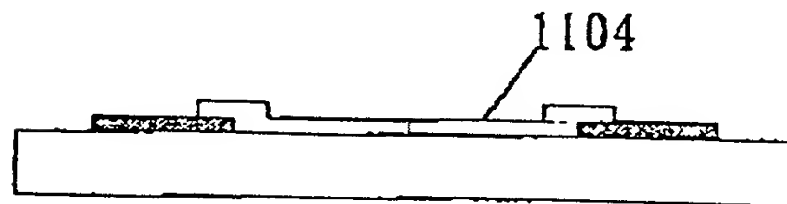


図 17 C

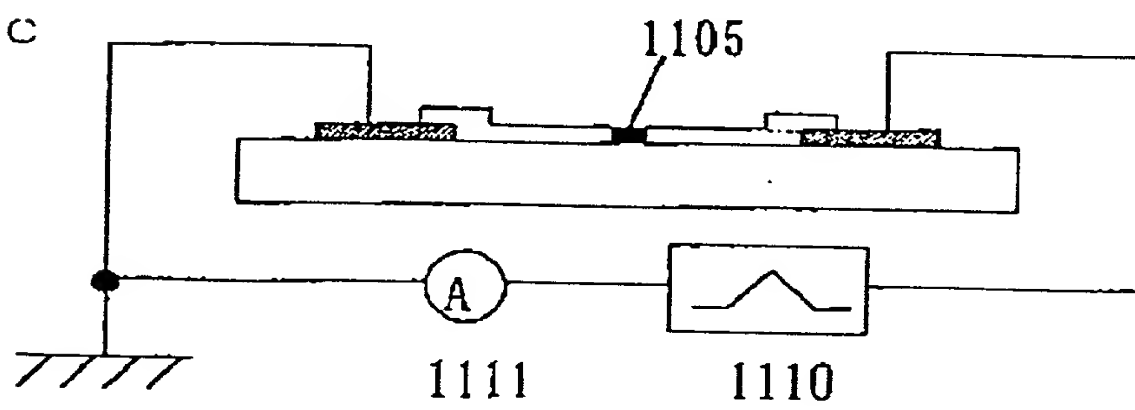


図 17 D

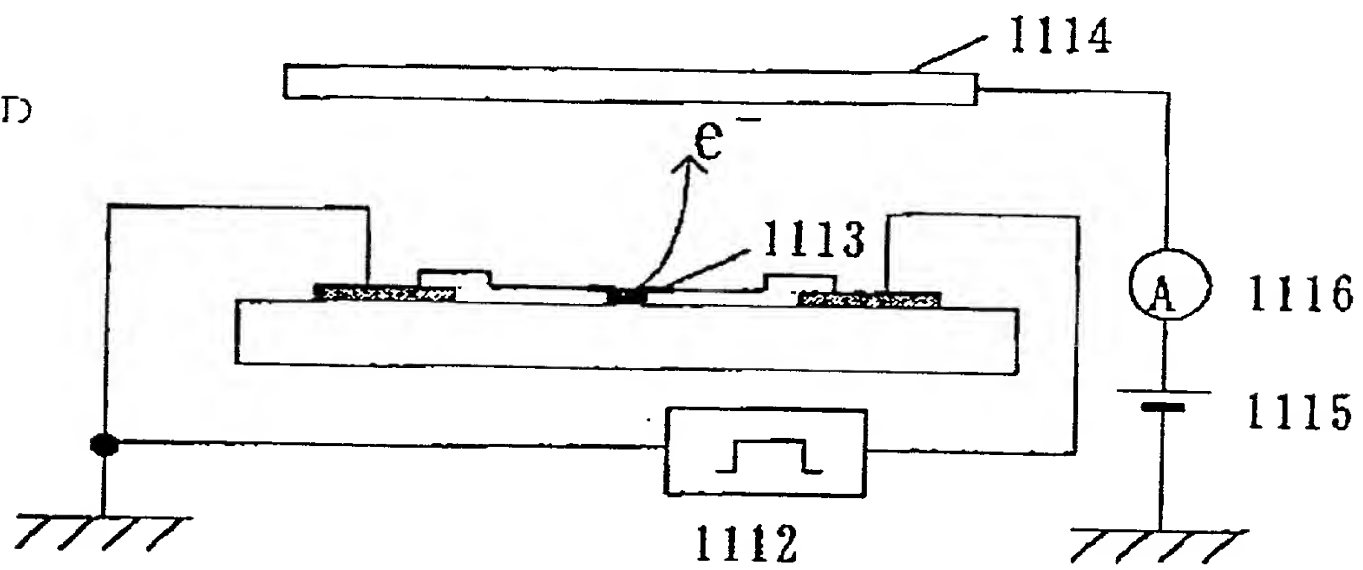


図 17 E

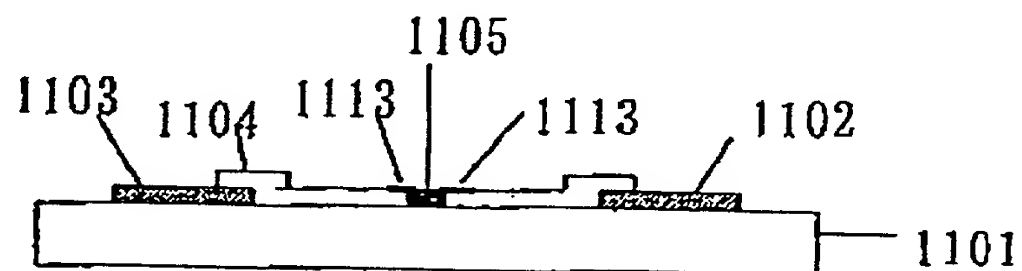


図 18

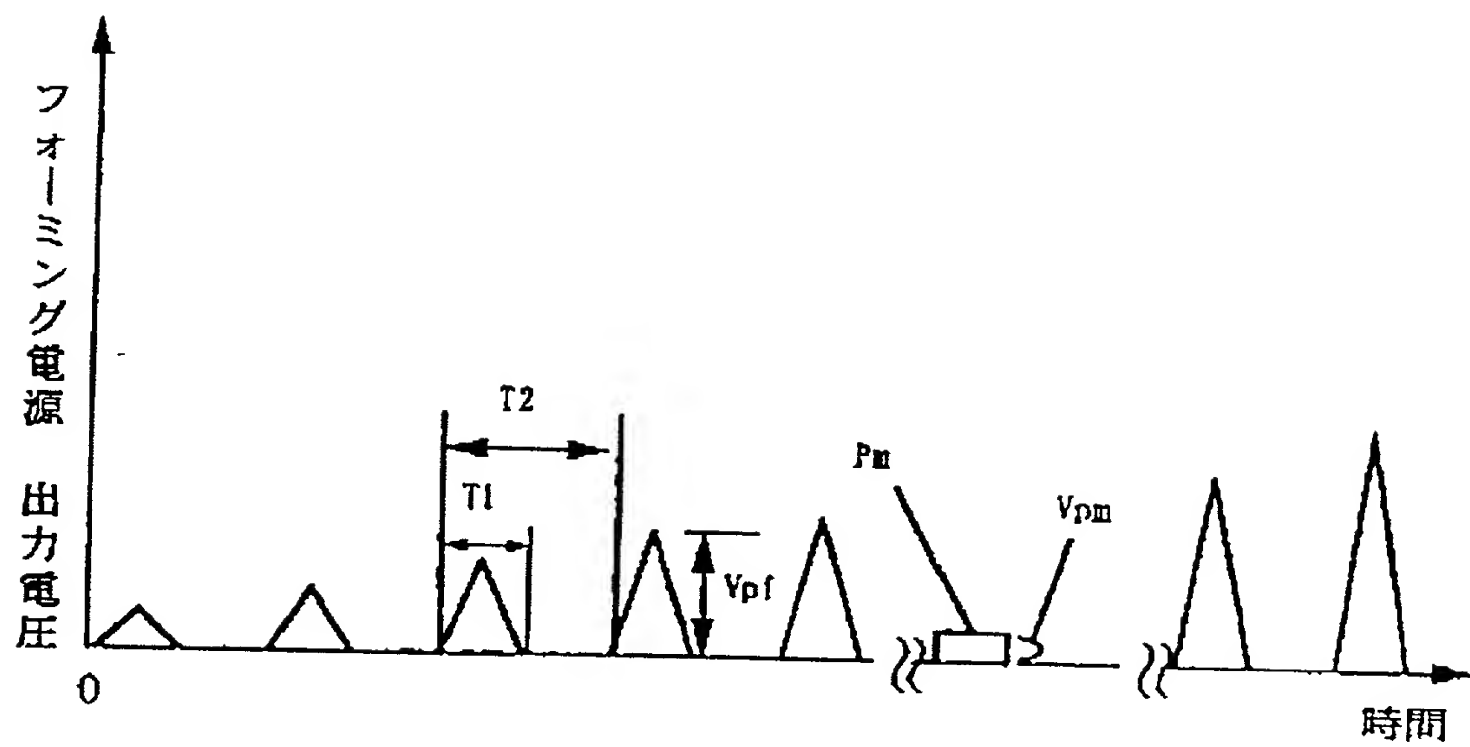


図 1 9 A

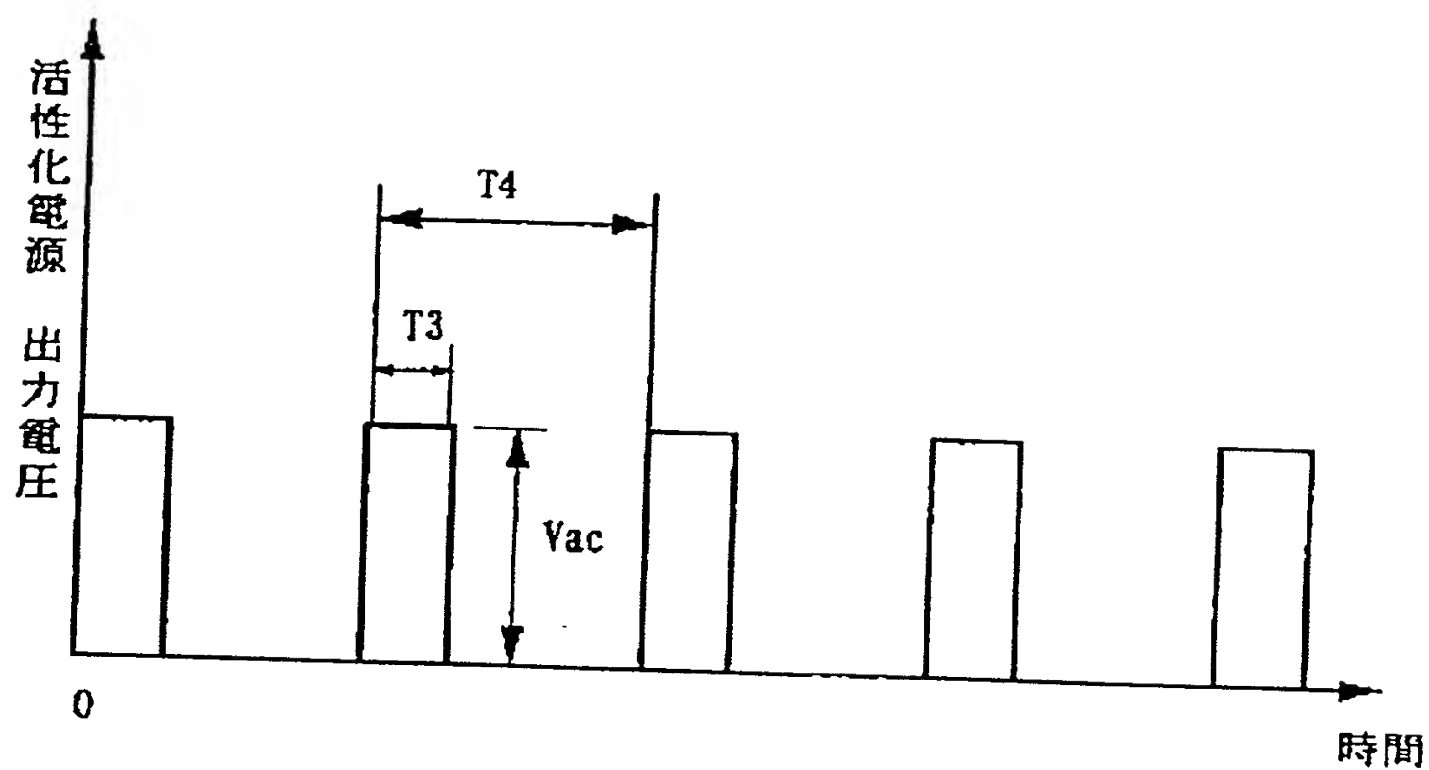


図 1 9 B

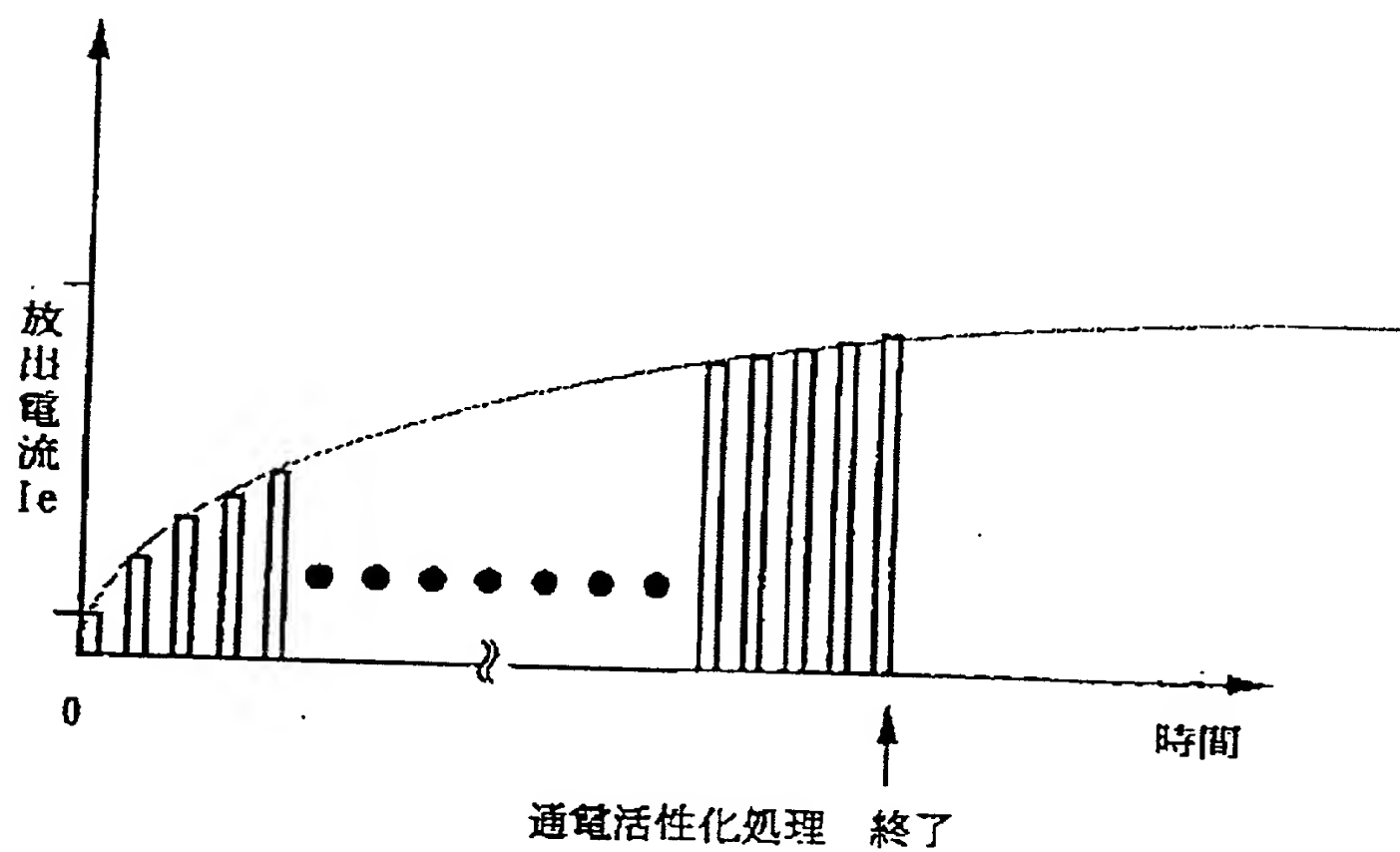
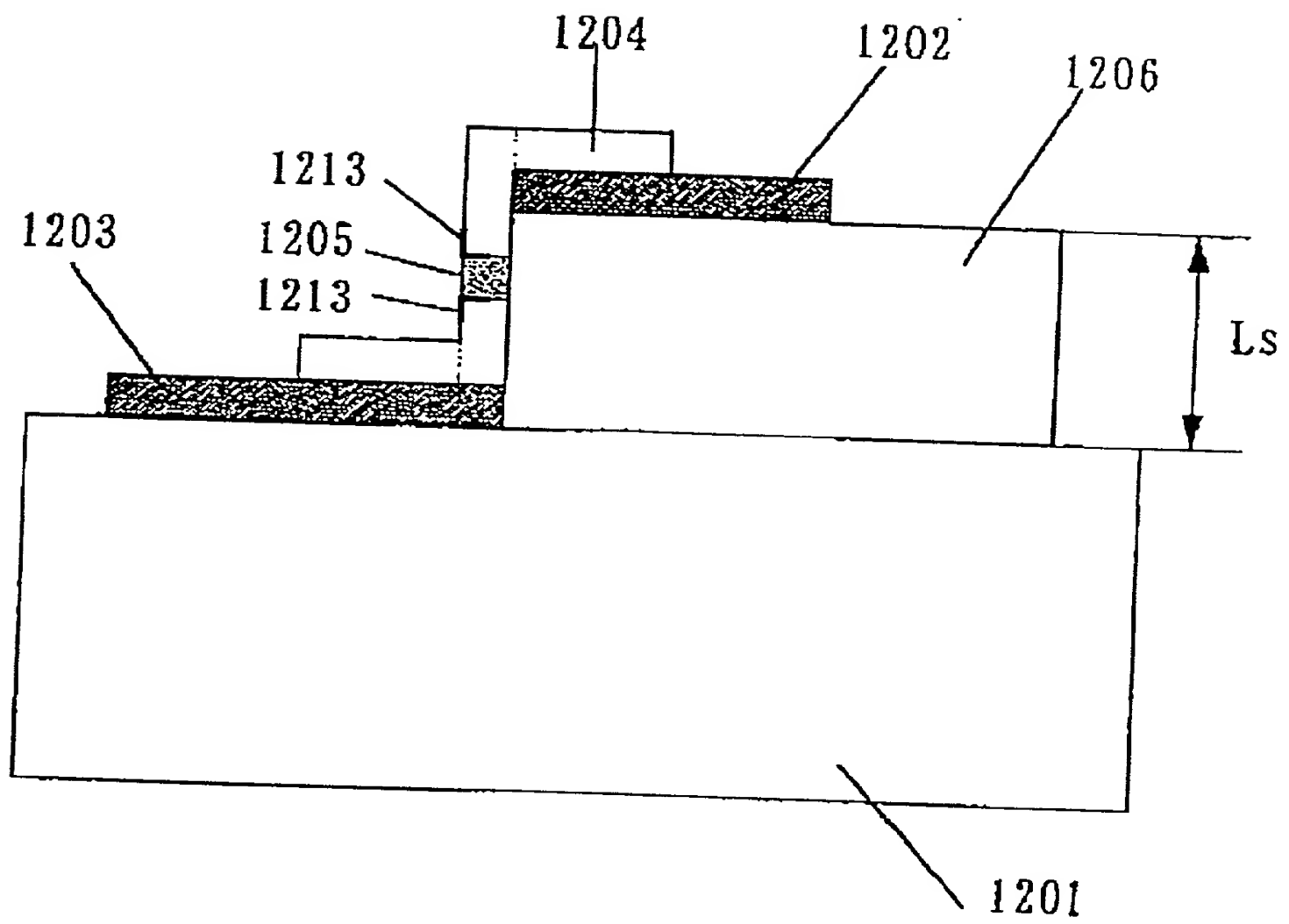


図 20



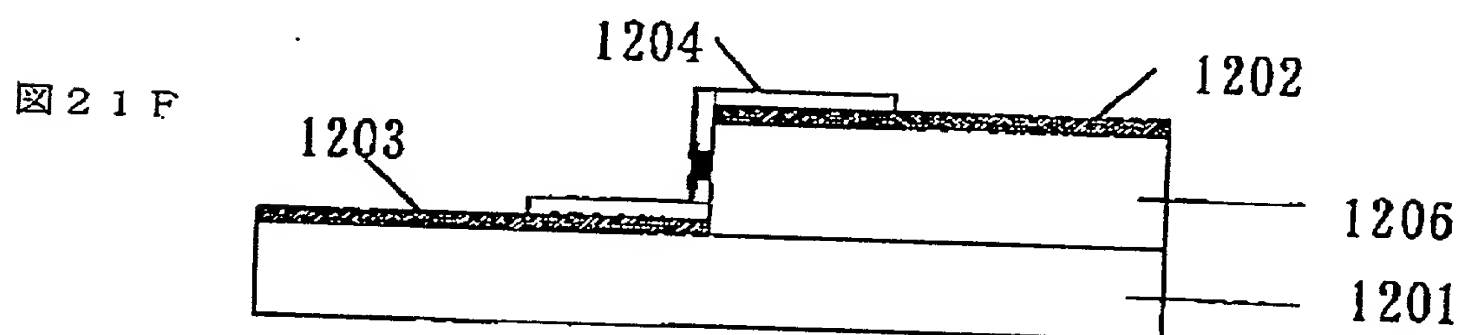
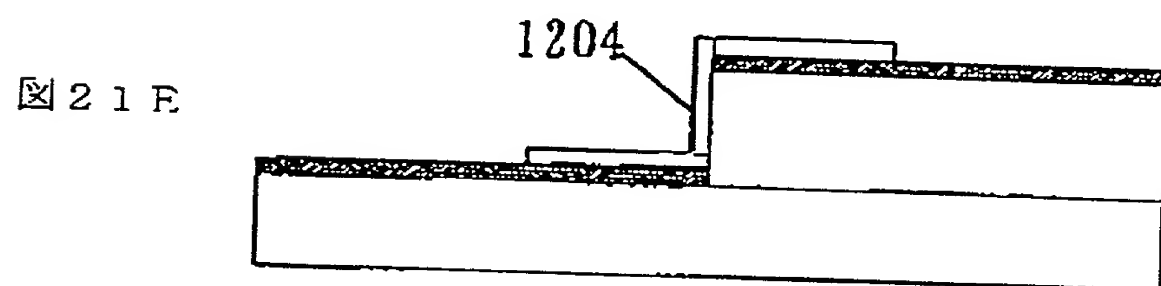
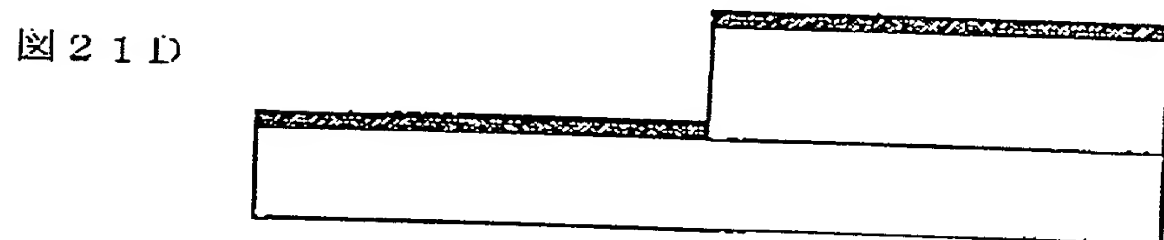
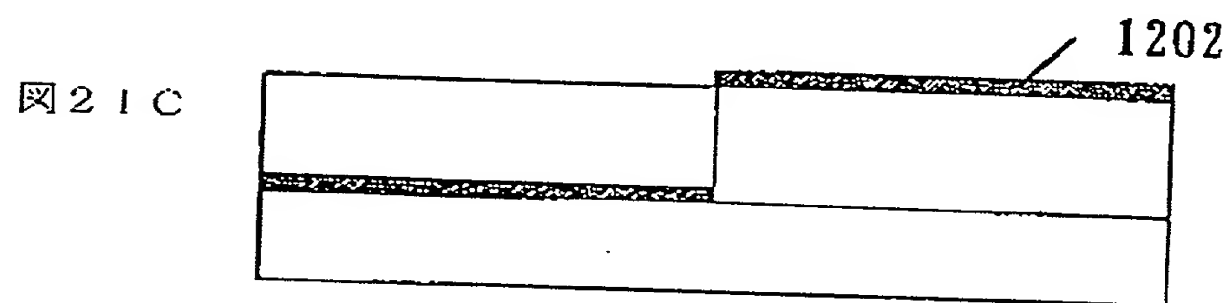
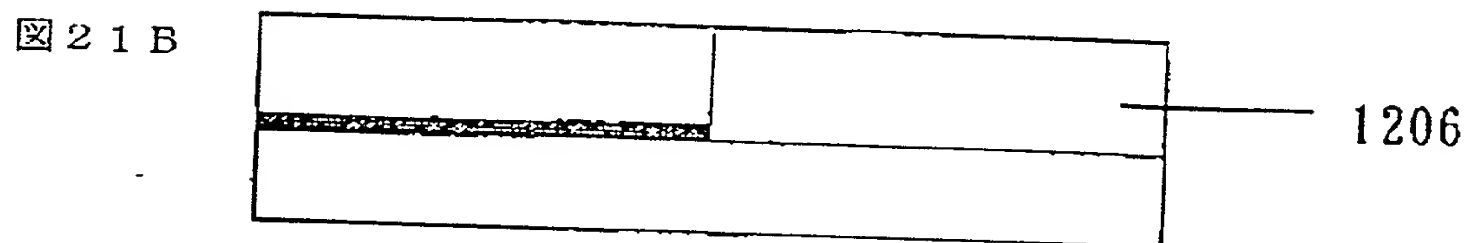
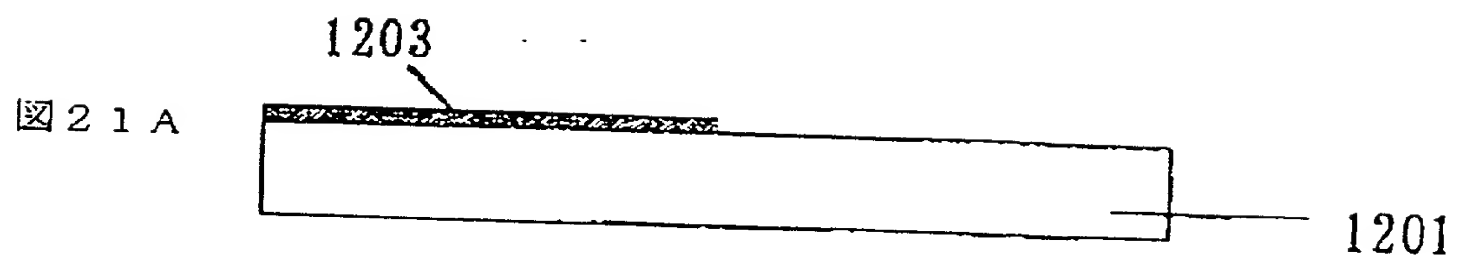




図 2 2

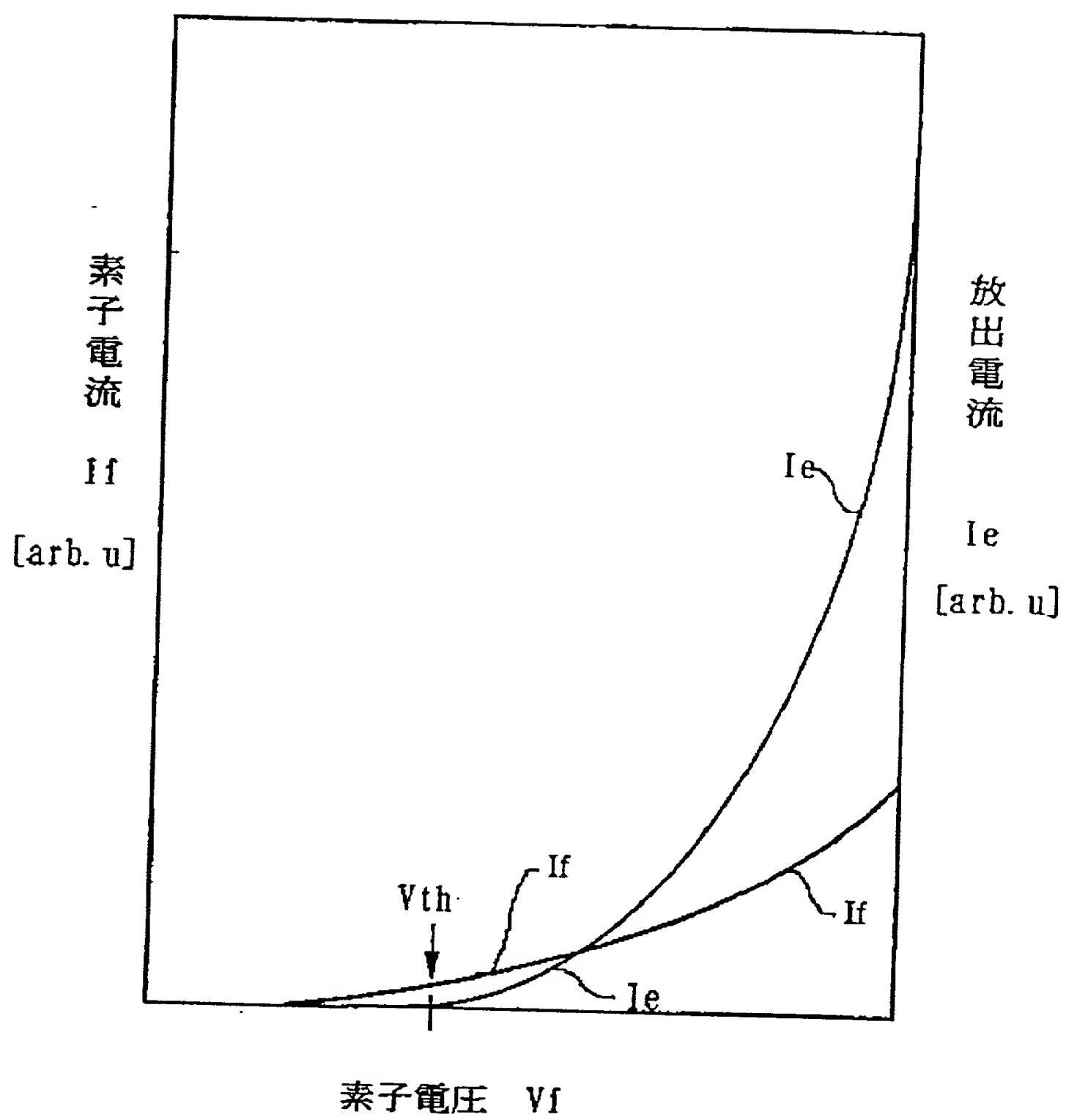


図 23

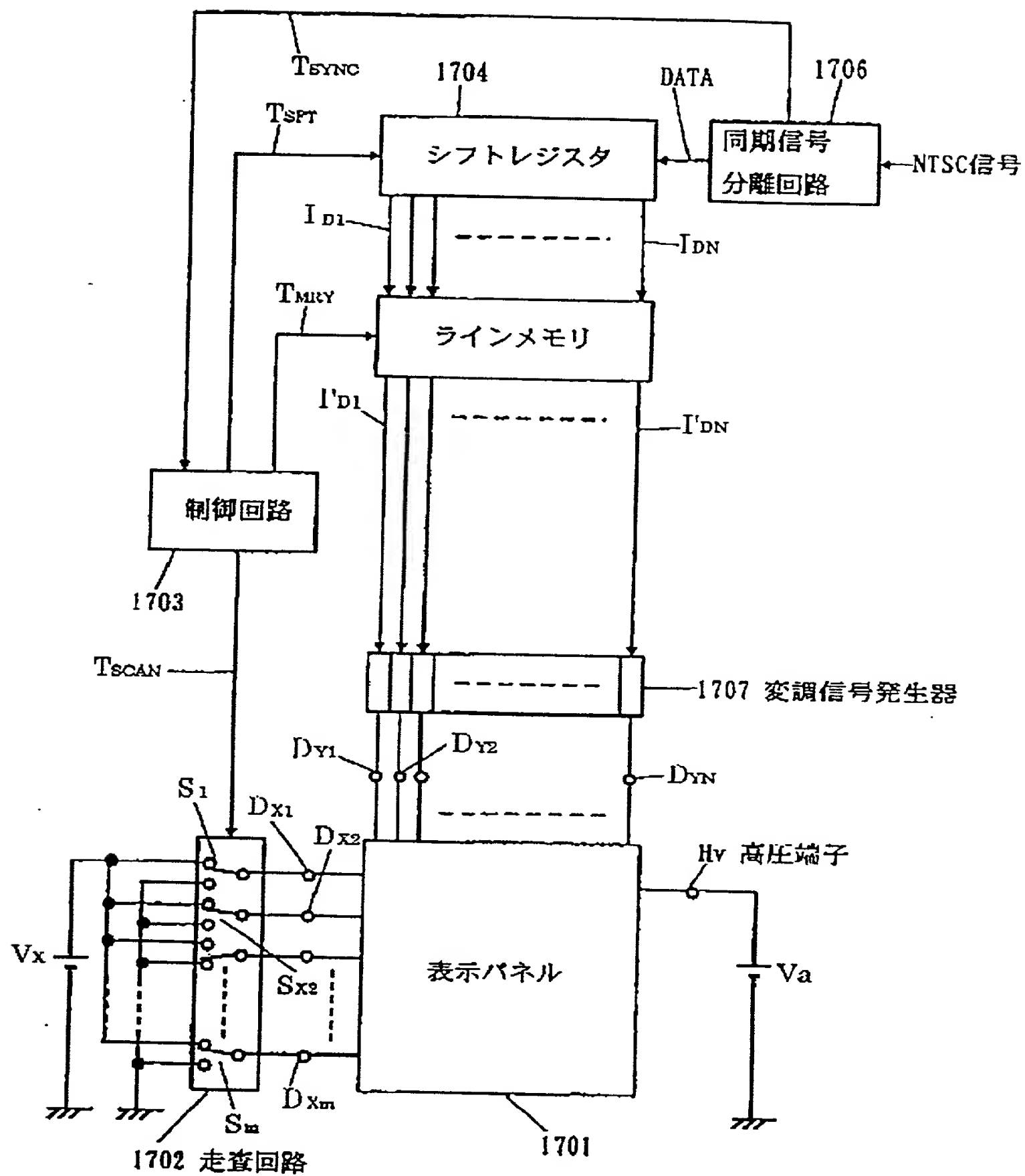


図 2 4

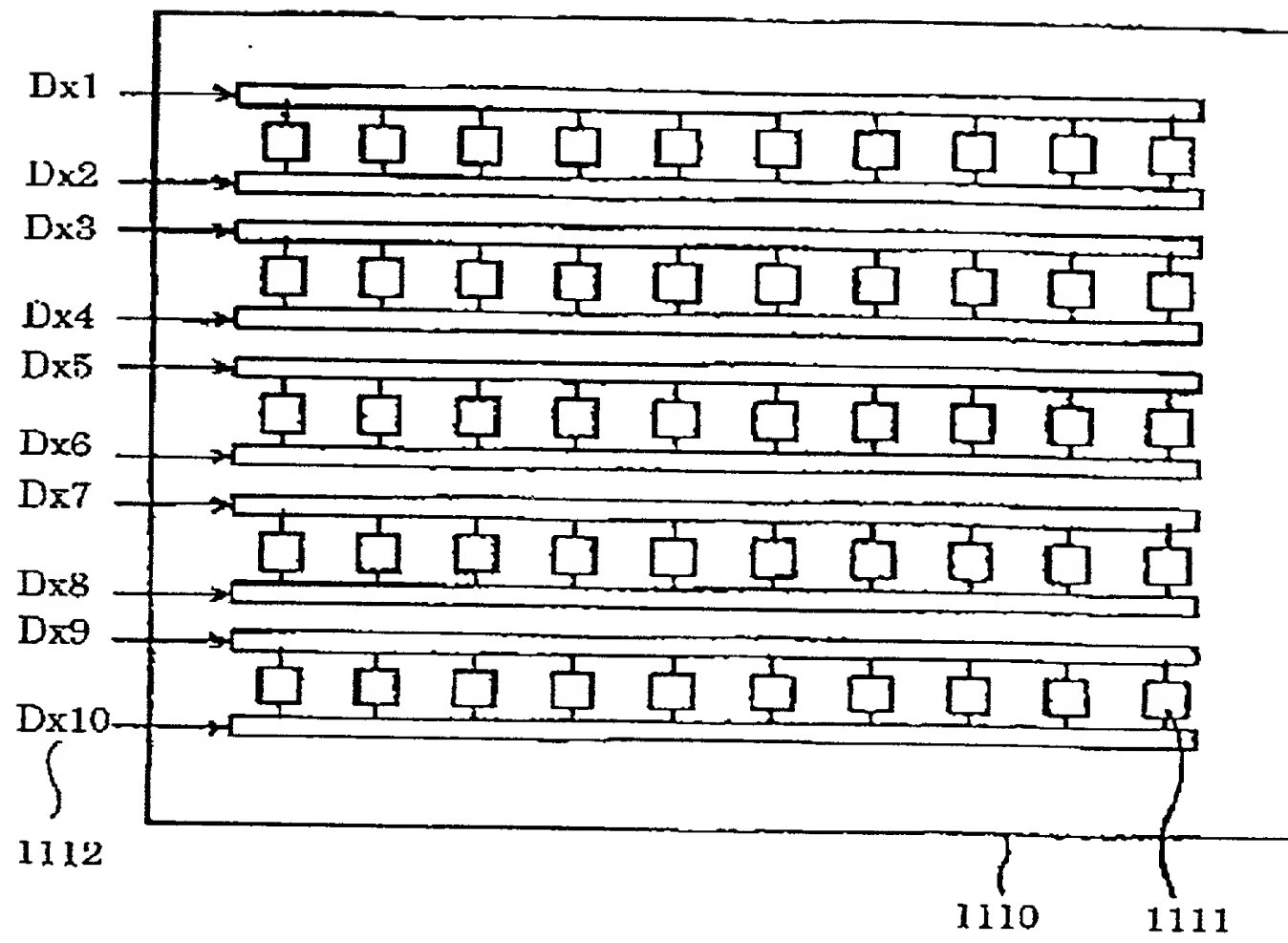


图 25

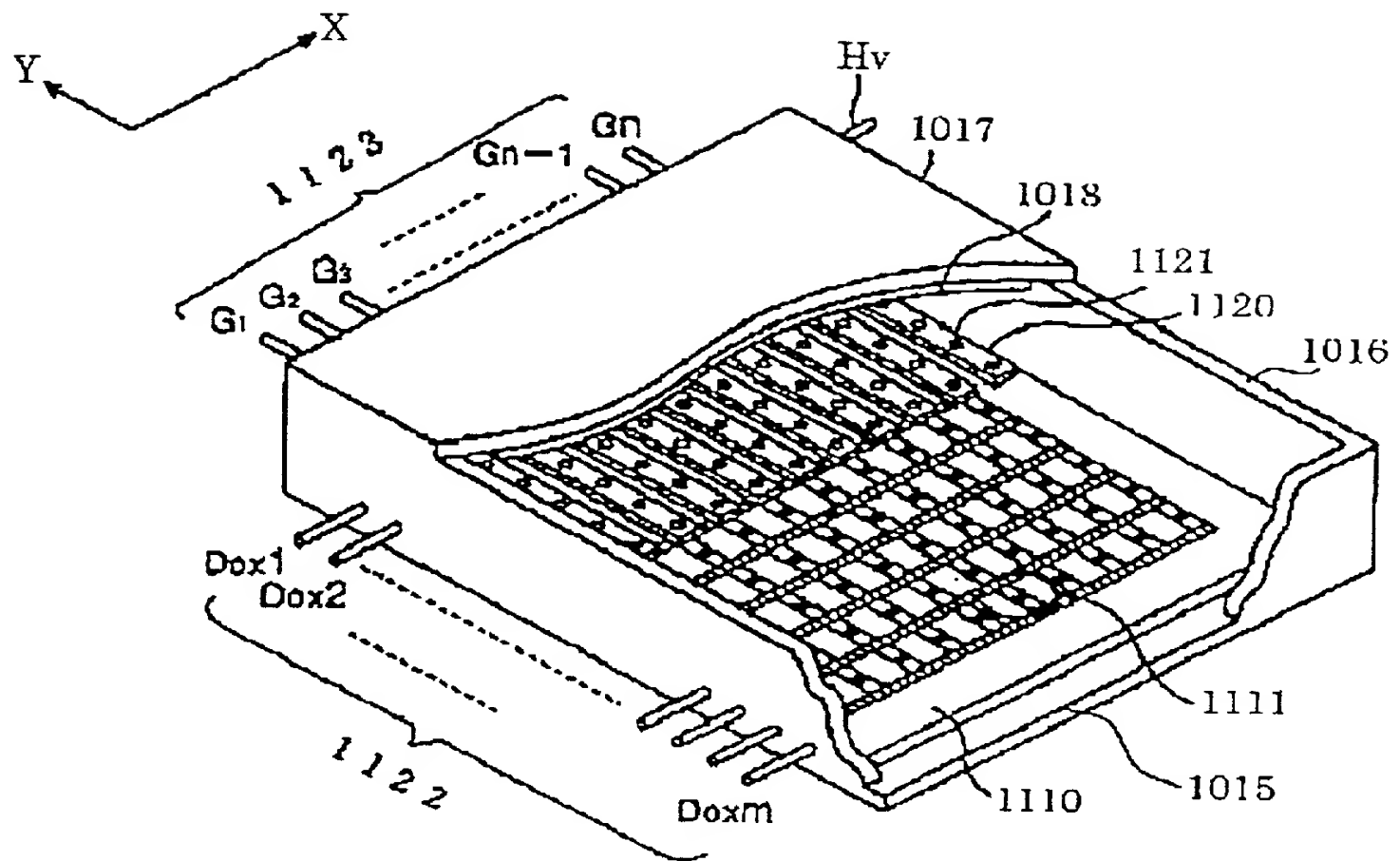


图 26

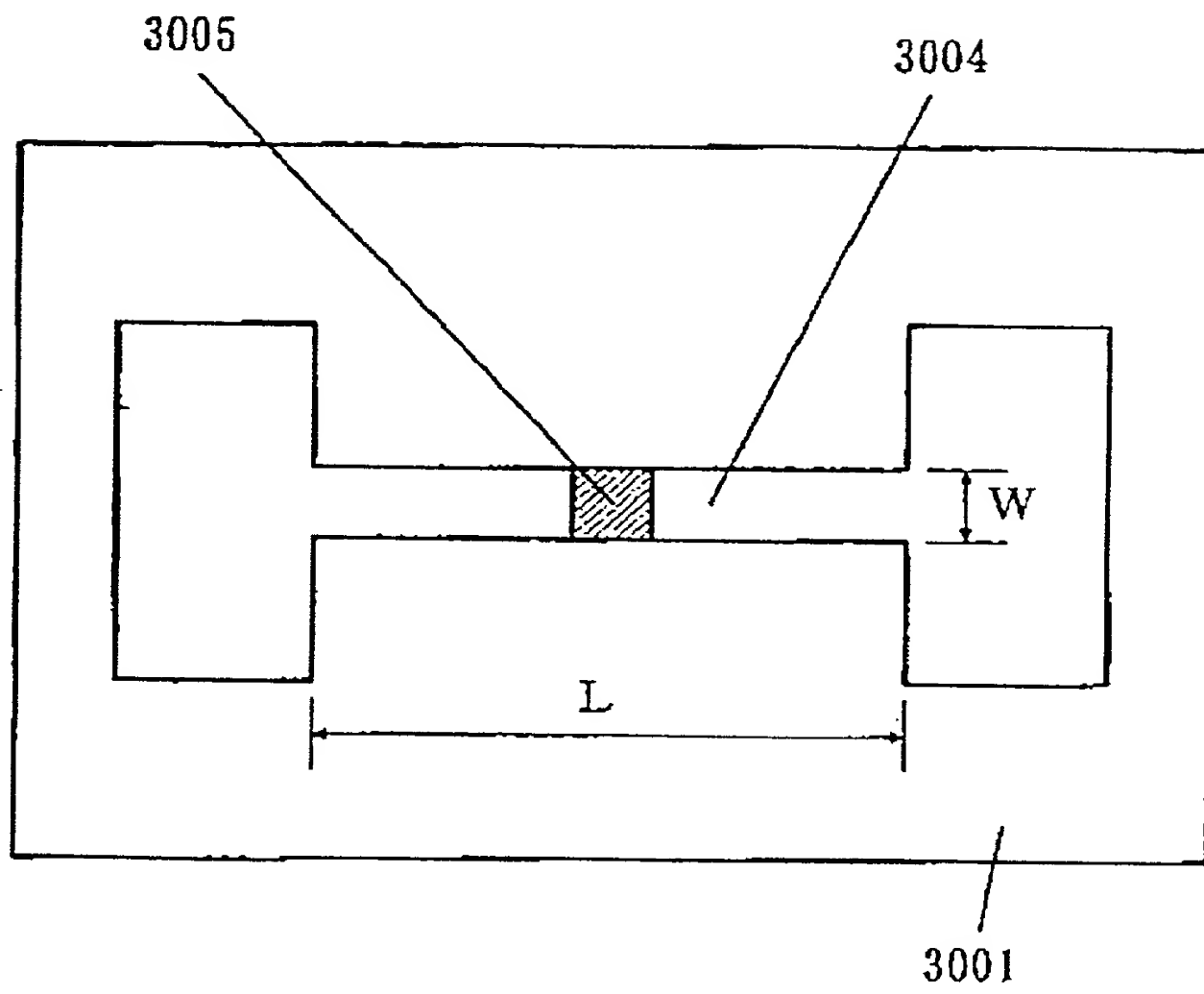


图 2 7

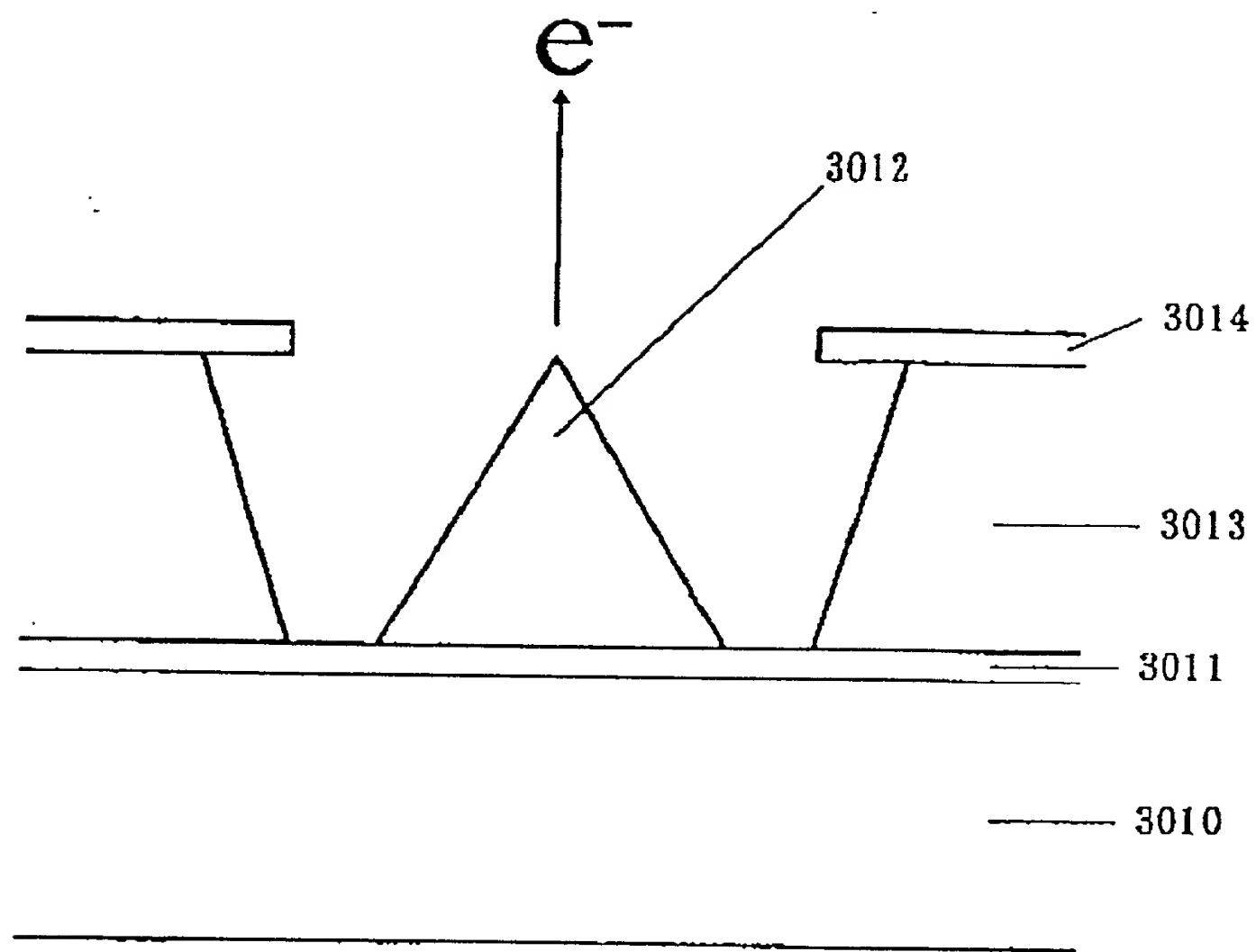


图 28

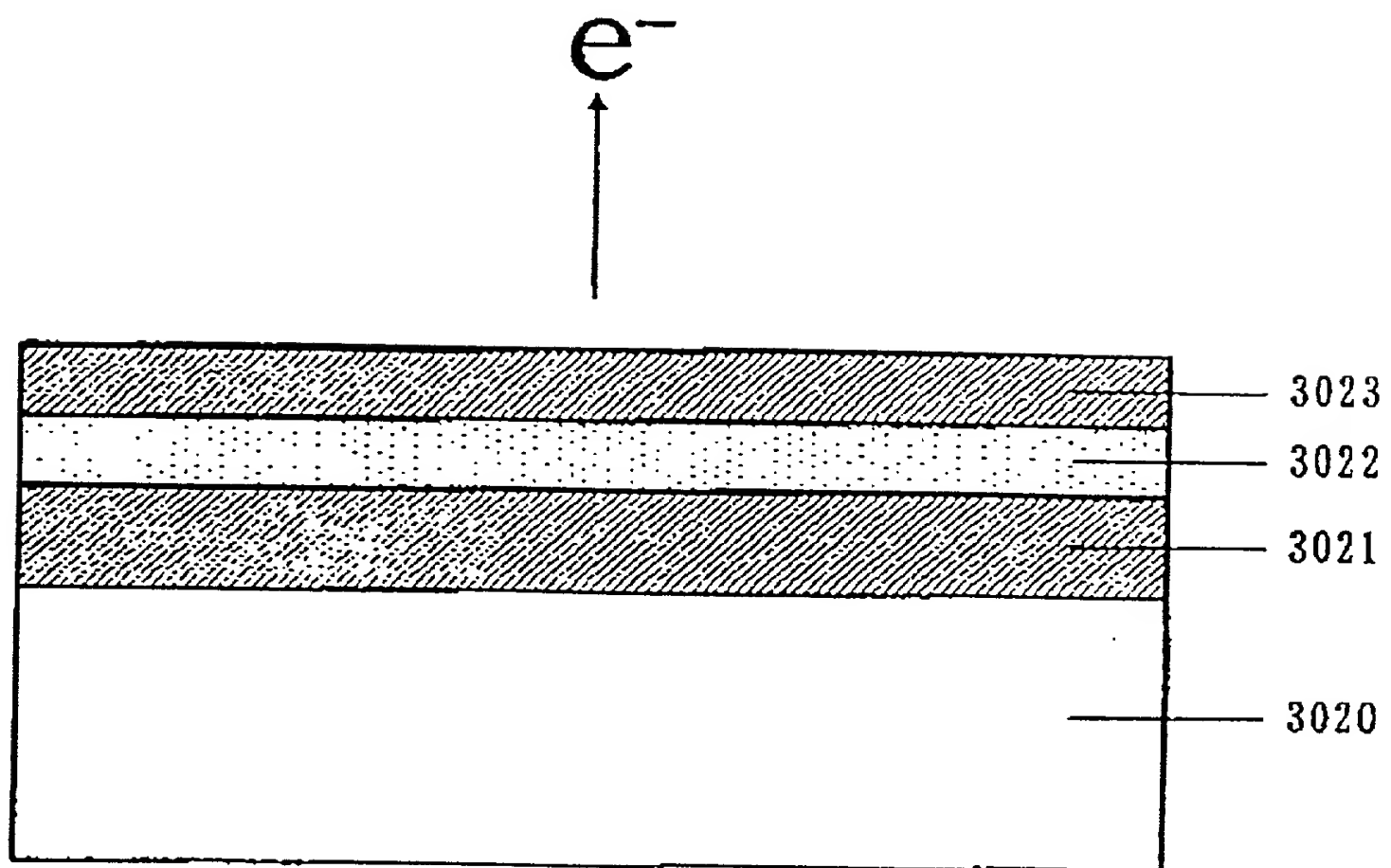
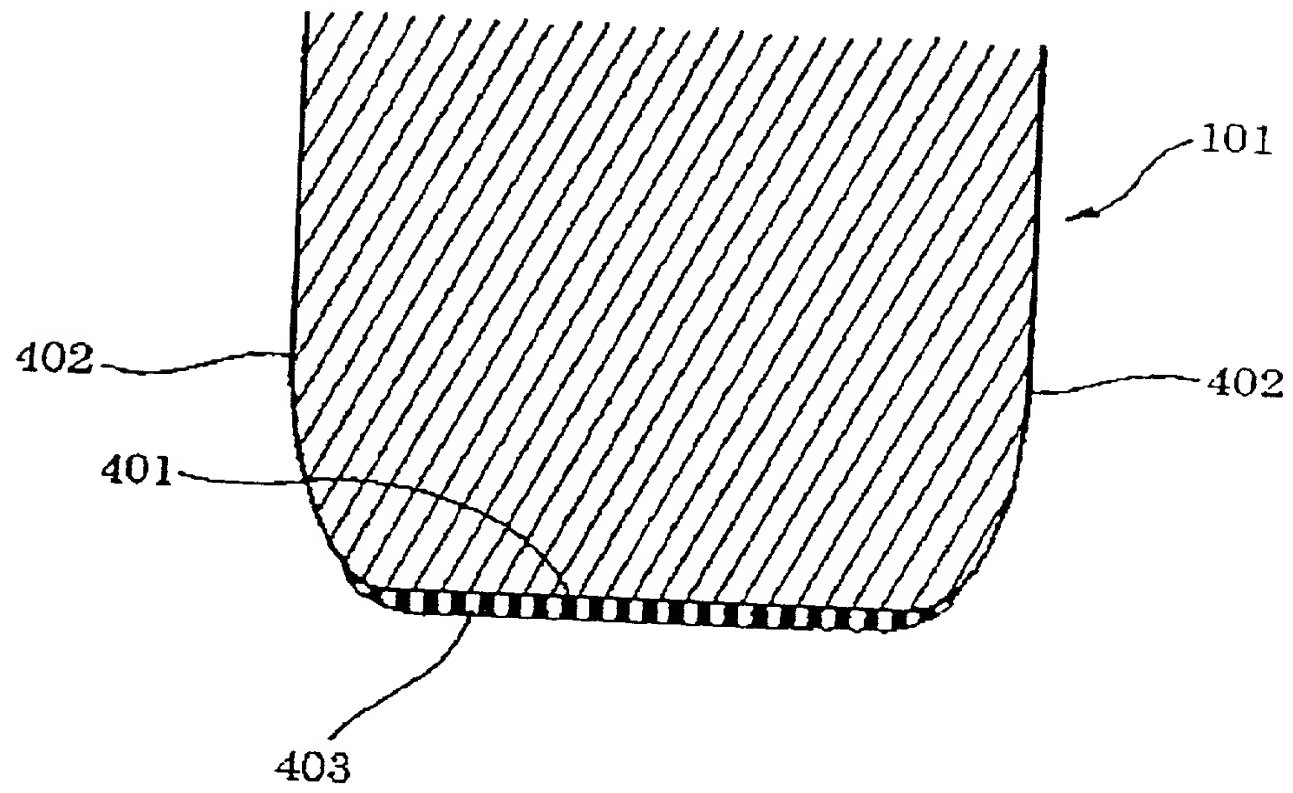






图 30



COMBINED DECLARATION AND POWER OF ATTORNEY  
FOR PATENT APPLICATION  
(Page 1)

As a below named inventor, I hereby declare that:

My residence, post office address and citizenship are as stated below next to my name.

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled MANUFACTURING METHOD OF ELECTRON BEAM APPARATUS AND SPACER, AND ELECTRON BEAM APPARATUS

the specification of which ☒ is attached hereto ☐ was filed on \_\_\_\_\_ as United States Application No. or PCT International Application No. \_\_\_\_\_ and was amended on \_\_\_\_\_ (if applicable).

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR §1.56.

I hereby claim foreign priority benefits under 35 U.S.C. §119(a)-(d) or §365(b), of any foreign application(s) for patent or inventor's certificate, or §365(a) of any PCT international application which designates at least one country other than the United States, listed below and have also identified below any foreign application for patent or inventor's certificate, or PCT international application having a filing date before that of the application on which priority is claimed:

Country	Application No.	Filed (Day/Mo./Yr.)	(Yes/No) Priority Claimed
JAPAN	11-037958	17 FEBRUARY 1999	Yes
JAPAN	2000-037454	16 FEBRUARY 2000	Yes

I hereby claim the benefit under 35 U.S.C. § 120 of any United States application(s), or § 365(c) of any PCT international application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT international application in the manner provided by the first paragraph of 35 U.S.C. § 112, I acknowledge the duty to disclose information which is material to patentability as defined in 37 C.F.R. § 1.56 which became available between the filing date of the prior application and the national or PCT international filing date of this application.

Application No.	Filed (Day/Mo./Yr.)	Status (Patented, Pending, Abandoned)
-----------------	---------------------	---------------------------------------

I hereby appoint the practitioners associated with the firm and Customer Number provided below to prosecute this application and to transact all business in the Patent and Trademark Office connected therewith, and direct that all correspondence be addressed to the address associated with that Customer Number:

**FITZPATRICK, CELLA, HARPER & SCINTO**  
Customer Number: 05514

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Full Name of Sole or First Inventor Nobuhiro ITO

Inventor's signature \_\_\_\_\_

Date \_\_\_\_\_ Citizen/Subject of Japan

Residence 5-7-1005, Sagamiohno 4-chome, Sagamihara-shi, Kanagawa-ken, Japan

Post Office Address c/o CANON KABUSHIKI KAISHA, 30-2, Shimomaruko 3-chome, Ohta-ku, Tokyo, Japan

MAW\SWS\cmv

電子線装置およびスペーサの製造方法、並びに電子線装置  
MANUFACTURING METHOD OF ELECTRON BEAM APPARATUS  
AND SPACER, AND ELECTRON BEAM APPARATUS

BACKGROUND OF THE INVENTION

Field of the Invention

本発明は、電子線装置およびその応用である表示装置等の画像形成装置に関するものであり、特に耐大気圧構造を有する電子線装置および画像形成装置およびこれらの製造方法に関する。

Related Background Art

従来から、電子放出素子として熱陰極素子と冷陰極素子の2種類が知られている。このうち冷陰極素子では、たとえば表面伝導型放出素子や、電界放出型素子（以下FE型と記す）や、金属／絶縁層／金属型放出素子（以下FMIM型と記す）、などが知られている。

表面伝導型放出素子としては、たとえば、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290, (1965) や、後述する他の例が知られている。

表面伝導型放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型放出素子としては、前記エリンソン等による $\text{SnO}_2$ 薄膜を用いたものの他に、 $\text{Au}$ 薄膜によるもの [G. Dittmer: "Thin Solid Films", 9, 317 (1972)] や、 $\text{In}_2\text{O}_3$  /  $\text{SnO}_2$  薄膜によるもの [M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)] や、カーボン薄膜によるもの [荒木久 他: 真空、第26巻、第1号、22 (1983)] 等が報告されている。

これらの表面伝導型放出素子の素子構成の典型的な例として、図26に前述のM. Hartwellらによる素子の平面図を示す。同図において、

3001は基板で、3004はスパッタで形成された金属酸化物よりなる導電性薄膜である。導電性薄膜3004は図示のようにH字形の平面形状に形成されている。該導電性薄膜3004に後述の通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部3005が形成される。図中の間隔Lは0.5mm~1mm、Wは0.1mmで設定されている。尚、図示の便宜から、電子放出部3005は導電性薄膜3004の中央に矩形の形状で示したが、これは模式的なものであり、実際の電子放出部の位置や形状を忠実に表現しているわけではない。

M. Hartwellらによる素子をはじめとして上述の表面伝導型放出素子においては、電子放出を行う前に導電性薄膜3004に通電フォーミングと呼ばれる通電処理を施すことにより電子放出部3005を形成するのが一般的であった。すなわち、通電フォーミングとは、前記導電性薄膜3004の両端に一定の直流電圧、もしくは、例えば1V/分程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜3004を局所的に破壊もしくは変形もしくは変質せしめ、電氣的に高抵抗な状態の電子放出部3005を形成することである。尚、局所的に破壊もしくは変形もしくは変質した導電性薄膜3004の一部には、亀裂が発生する。前記通電フォーミング後に導電性薄膜3004に適宜の電圧を印加した場合には、前記亀裂付近において電子放出が行われる。

また、FE型の例は、たとえば、W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956) や、あるいは、C. A. Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) などが知られている。

FE型の素子構成の典型的な例として、図27に前述のC. A. Spindtらによる素子の断面図を示す。同図において、3010は基板で、3011は導電材料よりなるエミッタ配線、3012はエミッタコーン、

3013は絶縁層、3014はゲート電極である。本素子は、エミッタコーン3012とゲート電極3014の間に適宜の電圧を印加することにより、エミッタコーン3012の先端部より電界放出を起こさせるものである。

また、FE型の他の素子構成として、図27のような積層構造ではなく基板上に基板平面とほぼ平行にエミッタとゲート電極を配置した例もある。

また、MIM型の例としては、たとえば、C. A. Mead, "Operation of tunnel-emission Devices, J. Appl. Phys., 32, 646 (1961) などが知られている。MIM型の素子構成の典型的な例を図28に示す。同図は断面図であり、図において、3020は基板で、3021は金属よりなる下電極、3022は厚さ100 Å程度の薄い絶縁層、3023は厚さ80～300 Å程度の金属よりなる上電極である。MIM型においては、上電極3023と下電極3021の間に適宜の電圧を印加することにより、上電極3023の表面より電子放出を起こさせるものである。

上述の冷陰極素子は、熱陰極素子と比較して低温で電子放出を得ることができるため、加熱用ヒーターを必要としない。したがって、熱陰極素子よりも構造が単純であり、微細な素子を作成可能である。また、基板上に多数の素子を高い密度で配置しても、基板の熱溶解などの問題が発生しにくい。また、熱陰極素子がヒーターの加熱により動作するため応答速度が遅いのは異なり、冷陰極素子の場合には応答速度が速いという利点もある。このため、冷陰極素子を応用するための研究が盛んに行われてきている。

たとえば、表面伝導型放出素子は、冷陰極素子のなかでも特に構造が単純で製造も容易であることから、大面積にわたり多数の素子を形成できる利点がある。そこで、たとえば本出願人による特開昭64-31332号公報において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

また、表面伝導型放出素子の応用については、たとえば、画像表示装置、

画像記録装置などの画像形成装置や、荷電ビーム源、等が研究されている。特に、画像表示装置への応用としては、たとえば本出願人によるUSP 5, 066, 883や特開平2-257551号公報や特開平4-28137号公報において開示されているように、表面伝導型放出素子と電子ビームの照射により発光する蛍光体とを組み合わせ用いた画像表示装置が研究されている。表面伝導型放出素子と蛍光体とを組み合わせ用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。たとえば、近年普及してきた液晶表示装置と比較しても、自発光型であるためバックライトを必要としない点や、視野角が広い点が優れていると言える。

また、FE型を多数個ならべて駆動する方法は、たとえば本出願人によるUSP 4, 904, 895に開示されている。また、FE型を画像表示装置に応用した例として、たとえば、R. Meyerらにより報告された平板型表示装置が知られている[R. Meyer: "Recent Development on Microtips Display at LETI", Tech. Digest of 4th Intl. Vacuum Microelectronics Conf., Nagahama, pp. 6~9 (1991)]。

また、MIM型を多数個並べて画像表示装置に応用した例は、たとえば本出願人による特開平3-55738号公報に開示されている。

上記のような電子放出素子を用いた画像形成装置のうちで、奥行きが薄い平面型表示装置は省スペースかつ軽量であることから、ブラウン管型の表示装置に置き換わるものとして注目されている。

図29は平面型の画像表示装置をなす表示パネル部の一例を示す斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。

図中、3115はリアプレート、3116は側壁、3117はフェースプレートであり、リアプレート3115、側壁3116およびフェースプレート3117により、表示パネルの内部を真空中に維持するための外囲器(気密容器)を形成している。リアプレート3115には基板3111が

固定されているが、この基板 3 1 1 1 上には冷陰極素子 3 1 1 2 が  $n \times m$  個形成されている（ $n$ 、 $m$  は 2 以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。）。また、前記  $n \times m$  個の冷陰極素子 3 1 1 2 は、図 2 9 に示すとおり、 $m$  本の行方向配線 3 1 1 3 と  $n$  本の列方向配線 3 1 1 4 により配線されている。これら基板 3 1 1 1、冷陰極素子 3 1 1 2、行方向配線 3 1 1 3 および列方向配線 3 1 1 4 によって構成される部分をマルチ電子ビーム源と呼ぶ。また、行方向配線 3 1 1 3 と列方向配線 3 1 1 4 の少なくとも交差する部分には、両配線間に絶縁層（不図示）が形成されており、電気的な絶縁が保たれている。

フェースプレート 3 1 1 7 の下面には、蛍光体からなる蛍光膜 3 1 1 8 が形成されており、赤（R）、緑（G）、青（B）の 3 原色の蛍光体（不図示）が塗り分けられている。また、蛍光膜 3 1 1 8 をなす上記各色蛍光体の間には黒色体（不図示）が設けてあり、さらに蛍光膜 3 1 1 8 のリアプレート 3 1 1 5 側の面には、A 1 等からなるメタルバック 3 1 1 9 が形成されている。

Dx1～DxmおよびDy1～DynおよびHvは、当該表示パネルと不図示の電気回路とを電気的に接続するために設けた気密構造の電気接続用端子である。Dx1～Dxmはマルチ電子ビーム源の行方向配線3113と、Dy1～Dynはマルチ電子ビーム源の列方向配線3114と、Hvはメタルバック3119と各々電気的に接続している。

また、上記気密容器の内部は $10^{-4}$  Pa程度の真空中に保持されており、画像表示装置の表示面積が大きくなるにしたがい、気密容器内部と外部の気圧差によるリアプレート3115およびフェースプレート3117の変形あるいは破壊を防止する手段が必要となる。リアプレート3115およびフェースプレート3116を厚くすることによる方法は、画像表示装置の重量を増加させるのみならず、斜め方向から見たときに画像のゆがみや視差を生ずる。これに対し、図29においては、比較的薄いガラス板からなり大気圧を支えるための構造支持体（スペーサあるいはリブと呼ばれる）3120が設けられている。このようにして、マルチビーム電子源が

形成された基板 3 1 1 1 と蛍光膜 3 1 1 8 が形成されたフェースプレート 3 1 1 7 間は通常サブミリないし数ミリに保たれ、前述したように気密容器内部は高真空に保持されている。

以上説明した表示パネルを用いた画像表示装置は、容器外端子  $D \times 1$  ないし  $D \times m$ 、 $D y 1$  ないし  $D y n$  を通じて各冷陰極素子 3 1 1 2 に電圧を印加すると、各冷陰極素子 3 1 1 2 から電子が放出される。それと同時にメタルバック 3 1 1 9 に容器外端子  $H v$  を通じて数百 [V] ないし数 [kV] の高圧を印加して、上記放出された電子を加速し、フェースプレート 3 1 1 7 の内面に衝突させる。これにより、蛍光膜 3 1 1 8 をなす各色の蛍光体が励起されて発光し、画像が表示される。

#### SUMMARY OF THE INVENTION

上記画像表示装置等の電子線装置の気密容器内に設ける、スペーサなどの微小部材に膜を形成する好適な手法を実現することを、本発明は目的とする。

上記の課題を解決すべく成された本願に関わる電子線装置の製造方法の発明の一つは以下の通りである。

内部に電子放出素子を含む気密容器と、該気密容器内に設けられるスペーサとを有する電子線装置の製造方法であって、

前記スペーサとなるスペーサ基板に膜を設ける被膜工程を有しており、該被膜工程は、液状の膜材料を放出部から所定の方向に放出して前記スペーサ基板の前記放出部に面する面のうちの一部に付与する付与工程を含むことを特徴とする電子線装置の製造方法。

ここで、前記スペーサが前記気密容器の形状を維持するものである場合に本願発明は好適に採用し得る。特に、前記気密容器の内部の圧力が外部の圧力に対して低い場合、内部と外部の気圧差による力が気密容器に加えられることになるが、前記スペーサは、その力による気密容器の変形を抑制するものであると良い。気密容器が対向する平板状部材（更に具体的には以下の実施の形態で説明するような電子放出素子を有する基板と蛍光体



を有する基板）から構成されている電子線装置においては、本願発明は特に有効である。また、気密容器内の減圧空間における前記スペーサが維持しようとする維持サイズ（スペーサの高さ、例えば前記対向する平板状部材の間隔）が、前記気密容器内の減圧空間の前記維持サイズと直交する方向の主要サイズ（例えば前記維持サイズの方法から減圧空間を見た時に減圧空間が方形である場合はその方形の対角サイズ）の30分の1以下である場合に上記発明は特に有効である。

上記発明においては、液状の膜材料を所定の方向に放出するので、膜材料を有効に用いることができる。また、液状の膜材料を所定の方向に放出するので、放出部に面する面のうちの一部に膜材料を付与することができる。特に上記発明は、微小領域に膜材料を付与する構成において有効である。

また、上記発明において、前記放出部と前記スペーサ基板の相対位置を変更する移動工程を有していてもよい。この移動工程を行いながら前記付与工程を連続して行っても良く、また移動工程を終了した後前記付与工程を行い、付与工程を終了した後前記移動工程を行うといったように、移動工程と付与工程を別々に行っても良い。移動工程を有することにより、所望の領域に膜材料を付与することができる。また、広い範囲に膜材料を付与する場合の付与むらも、最終的に得ようとする膜材料付与面積よりも小さい面積に膜材料を付与する上記付与工程と、前記移動工程とを組み合わせることにより低減できる。

また、上記各発明において、前記付与工程は、一つの前記放出部から一滴の前記液状の膜材料を放出する工程を有するのが特に好適である。噴霧法のように一つの放出部から同時に複数の液滴状の膜材料を放出する場合、該同時に放出される複数の液滴の放出方向を制御する課題が発生するが、一つの放出部から同時には複数の液滴が放出されない構成を採用することにより液状の膜材料の放出方向の制御が容易になる。噴霧法を用いる場合は、後述するように、液状の膜材料を所定の方向に放出して放出部に面する面の一部に付与するためには噴霧された液状の膜材料の飛翔方向を制限

する手段を設けると良い。

また、前記付与工程は、放出前の液状の膜材料に気泡を発生させて前記放出部から前記液状の膜材料を放出する工程であるとよい。前記気泡は熱エネルギーの付与により発生させることができる。具体的にはノズル内で液体を加熱することにより発生する気泡を用いることができる。この方式はバブルジェット方式として知られている。また、前記付与工程は、圧電素子によって前記放出部から前記液状の膜材料を放出する工程であってもよい。

また、前述したように、前記付与工程は、液状の膜材料を噴霧する工程を含むものであってよい。特にこの場合は、前記噴霧された液状の膜材料の飛翔方向を制限して前記所定の方に放出するとよい。噴霧により液状の膜材料を付与する場合、放出角度が広がりやすいので、所定の方にのみ放出されるようにするには、噴霧された膜材料の飛翔方向を制限するのが好適である。具体的には噴霧部を直接前記放出部として用いるのではなく、噴霧された液状の膜材料の飛翔方向を制限するスリットや細孔を用い、該スリットや細孔を前記放出部として用いると良い。この方法においては、飛翔方向の制限によりスリットや細孔からスペーサ基板に向けて放出されなかった液状の膜材料は回収して用いることができる。

また上記各発明において、前記付与された膜材料により前記膜を形成する膜形成工程を更に有するとよい。該膜形成工程は、前記付与された液状の膜材料が自然に乾燥する工程であっても良いが、好適には加熱工程を採用することができる。また、前記付与された液状の膜材料が含む材料をそのまま膜にするのではなく、前記付与された液状の膜材料が含む元素を少なくとも含む結合（bond）物（例えば異種元素が共有結合したもの）を形成して膜を形成するものであったり、前記付与された液状の膜材料が含む結合物を分解（decomposition）して膜を形成するものであっても良い。

また、上記各発明において、前記液状の膜材料が、少なくとも金属元素を含むものであってもよい。上記各発明は、スペーサ基板に電極（導電性

膜；以下では低抵抗膜とも言う）を形成する際に好適に採用し得る。電極を形成する場合、形成される膜が所望の導電性を有するように液状の膜材料に金属元素を含有させると良い。金属元素は金属元素単体ではなく、化合物などの結合物として含まれていても良い。

この電極（以下の実施の形態では低抵抗膜と称している）は、スペーサにおいて電荷の移動を容易にするために用いるものであると好適である。特に、スペーサの電位を均す働きをしたり、帯電電荷を緩和する働きをしたりするものとして好適に用いることができる。また電界の分布の制御を行うものであっても良い。具体的には、スペーサにおいて該スペーサが間隔を維持しようとする対象物との当接面及び／もしくは当接面近傍に設けられる電極の形成に上記各発明を好適に用いることができる。例えば前記電子放出素子が設けられる基板との当接面及び／もしくは当接面近傍に電極を設ける際に用いることができる。また前記電子放出素子が設けられる基板と対向する部材、例えば電子放出素子が放出する電子により発光する蛍光体を設けた基板側の当接面及び／もしくは当接面近傍に電極を設ける際に用いることができる。また電子放出素子が設けられる基板と該基板に対する対向部材との間にグリッド電極などの制御電極を設ける構成において、スペーサが該制御電極に当接する場合は、該制御電極との当接面及び／もしくは当接面近傍に電極を設ける際に用いることができる。

また、上記各発明において、前記放出部を複数用いることにより、好適に前記付与工程を行うことができる。特に、一つのスペーサ基板に対して複数の放出部を用いて付与工程を行うと好適である。特に、複数の放出部から同時に液状の膜材料の付与を行うと好適である。また、複数の放出部は、異なる放出部は異なる付与領域に対応してもいいし、共通の付与領域に異なる放出部から液状の膜材料を付与しても良い。前記複数の放出部は共通のヘッドに設けられていると好適である。

また本願は電子線装置の製造方法の発明として以下の発明を含む。

内部に電子放出素子を含む気密容器と、該気密容器内に設けられるスペーサとを有する電子線装置の製造方法であって、

前記スペーサとなるスペーサ基板に膜を設ける被膜工程を有しており、該被膜工程は、液状の膜材料を1滴ずつ放出部から放出して前記スペーサ基板に付与する付与工程を含むことを特徴とする電子線装置の製造方法。

この発明において、前記液状の膜材料を一滴ずつ放出する放出部を複数用いて前記付与工程を行うとよい。これ以外にもこの発明は上記各発明と好適に組み合わせて用いることができる。

また本願は電子線装置の製造方法の発明として以下の発明を含む。

内部に電子放出素子を含む気密容器と、該気密容器内に設けられる微小部材とを有する電子線装置の製造方法であって、

前記微小部材となる微小基板に膜を設ける被膜工程を有しており、該被膜工程は、液状の膜材料を放出部から所定の方法に放出して前記微小基板の前記放出部に面する面のうちの一部に付与する付与工程を含むことを特徴とする電子線装置の製造方法。

ここで言う微小部材とは、前述のスペーサに限らない。例えば気密封止蓋のような部材に膜を形成する場合にも上記発明は適用することができる。

また本願は電子線装置の製造方法の発明として以下の発明を含む。

内部に電子放出素子を含む気密容器と、該気密容器内に設けられる微小部材とを有する電子線装置の製造方法であって、

前記微小部材となる微小基板に膜を設ける被膜工程を有しており、該被膜工程は、液状の膜材料を1滴ずつ放出部から放出して前記微小基板に付与する付与工程を含むことを特徴とする電子線装置の製造方法。

また本願はスペーサの製造方法として以下の発明を含む。

内部に電子放出素子を含む気密容器と、該気密容器内に設けられるスペーサとを有する電子線装置で用いる前記スペーサの製造方法であって、

前記スペーサとなるスペーサ基板に膜を設ける被膜工程を有しており、該被膜工程は、液状の膜材料を放出部から所定の方法に放出して前記スペーサ基板の前記放出部に面する面のうちの一部に付与する付与工程を含むことを特徴とするスペーサの製造方法。

また本願はスペーサの製造方法として以下の発明を含む。

内部に電子放出素子を含む気密容器と、該気密容器内に設けられるスペーサとを有する電子線装置で用いる前記スペーサの製造方法であって、

前記スペーサとなるスペーサ基板に膜を設ける被膜工程を有しており、該被膜工程は、液状の膜材料を１滴ずつ放出部から放出して前記スペーサ基板に付与する付与工程を含むことを特徴とするスペーサの製造方法。

また上記各発明は、更なる好ましい特徴として、

前記スペーサ基板の底面と側面に同時に液状の膜材料を付与すること、  
前記スペーサ基板に対し、予めその側面と底面との角部に実質的に鋭角な断面が存在しないように前処理すること、

前記スペーサ基板の前処理は、側面と底面の間のR加工もしくはテーパ加工であること、

前記スペーサ基板の前処理は、前記膜形成部のスペーサ基板の厚さの最大値を  $t$ 、前記膜の高さを  $h$ 、前記膜の断面内周長を  $s$  としたとき、

$$(t^2 + 4h^2) < s^2 < (t + 2h)^2$$

の関係を満足するように行われること、

前記スペーサ基板のR加工を、その曲率半径  $r$  が低抵抗膜形成部のスペーサ基板の厚さの最大値  $t$  の１％以上となるように行うこと、

前記スペーサ基板のテーパ加工を、研磨によって行うこと、

前記スペーサ基板を加熱延伸法を用いて加工し、該加熱延伸法において、所望のスペーサ基板の断面積を  $S_1$ 、スペーサ母材の断面積を  $S_2$  としたとき、 $S_2 > S_1$ 、の関係を満足し、かつスペーサ基板の断面と相似形状を有するスペーサ母材の両端を固定し長手方向の一部を軟化点以上の温度に加熱するとともに、一方の端部を加熱部位方向に速度  $V_1$  で送り出し、もう一方の端部を  $V_1$  と同一方向に速度  $V_2$  で引き出す際に、これらの速度が、 $S_1/S_2 = V_1/V_2$ 、の関係を満たし、上記加熱延伸後に冷却し、引き伸ばされたスペーサ母材を所望の長さに切断すること、

前記スペーサ基板は、ガラスまたはセラミックから成ること、

前記膜を形成したスペーサに、更に高抵抗膜を形成すること、

前記高抵抗膜は、 $10^5 [\Omega/\square] \sim 10^{12} [\Omega/\square]$  の表面抵抗値を

有すること、

前記膜の表面抵抗値が、前記高抵抗膜の表面抵抗値の1/10以下であり、かつ $10^7$  [ $\Omega/\square$ ] 以下であること、  
をも含む。

なお、前記スペーサ基板の底面とは、例えば前記電子線装置が画像形成装置である場合には、画像形成装置の上下基板すなわちフェースプレート（以下、「FP」と記す。）とリアプレート（以下、「RP」と記す。）に直接もしくは間接的に固定される面を意味し、側面とは、その法線上に電子放出素子もしくは放出電子線の軌道が存在する面であり、多くの場合、帯電の緩和を考慮すると高抵抗膜が形成されていることが好ましく、その面の法線はFP面およびRP面にほぼ平行に配置される。

また本願は電子線装置として以下の発明を含む。

即ち、上記各発明の製造方法により得られたことを特徴とする電子線装置。

また本願の電子線装置の発明は、更なる好ましい特徴として、

前記電子放出素子は、冷陰極素子であること、

前記電子放出素子は、電極間に電子放出部を含む導電性膜を有する電子放出素子であること、

前記電子放出素子は、表面伝導型電子放出素子であること、

前記気密容器は、前記電子放出素子に対向配置されるフェースプレートを有し、該フェースプレートは、入力信号に応じて前記電子放出素子から放出された電子の照射により画像を形成する画像形成部材を有すること、

前記画像形成部材が蛍光体から成ること、  
をも含む。

また本発明の電子線装置は、以下のような形態を有するものであってもよい。

①前記気密容器の内部に含まれる電子放出素子は、複数の行方向配線と複数の列方向配線とでマトリクス配線された複数の電子放出素子を有する単純マトリクス状配置の電子源をなす。

②前記気密容器の内部に含まれる電子放出素子は、並列に配置した複数の電子放出素子の個々を両端で配線接続した電子放出素子の行を複数配し（行方向と呼ぶ）、この配線と直交する方向（列方向と呼ぶ）に沿って、電子放出素子の上方に配した制御電極（グリッドとも呼ぶ）により、電子放出素子からの電子を制御するはしご状配置の電子源をなす。

本発明は、上述のように表示装置等の画像形成装置等に応用可能な電子線装置に関するものであり、特にスペーサ部材に膜（例えば低抵抗膜）を付与するにあたり、気相形成方法ではなく液相形成方法を採用することにより、スペーサ部材の端面と側面間の良好な電氣的接合と電子軌道の最適化制御を実現したものである。

また、本発明の思想によれば、本発明の電子線装置は、表示用として好適な画像形成装置に限るものでなく、感光性ドラムと発光ダイオード等で構成された光プリンタの発光ダイオード等の代替の発光源として用いることもできる。またこの際、上述の複数本の行方向配線と列方向配線を、適宜選択することで、ライン状発光源だけでなく、２次元状の発光源としても応用できる。この場合、画像形成部材としては、以下の実施例で用いる蛍光体のような直接発光する物質に限るものではなく電子の帯電による潜像画像が形成されるような部材を用いることもできる。また、本発明の思想によれば、例えば電子顕微鏡のように、電子源からの放出電子の被照射部材が、蛍光体等の画像形成部材以外のものである場合についても、本発明は適用できる。従って、本発明の電子線装置は被照射部材を特定しない一般的電子線装置としての形態もとりうる。

#### BRIEF DESCRIPTION OF THE DRAWINGS

図１Ａ、図１Ｂ、図１Ｃ、図１Ｄ及び図１Ｅは、本発明の実施例のスペーサ基板の概略図である。

図２Ａ、図２Ｂ、図２Ｃ、図２Ｄ及び図２Ｅは、本発明の一実施例のスペーサの作成工程の説明図である。

図３Ａ及び図３Ｂは、本発明に好適に用いられるスペーサ基板の接合部

近傍の断面形状を示す図である。

図 4 は本発明によるスペーサの接合部近傍の断面形状の説明図である。

図 5 は本発明の実施例のスペーサの加工に使用した加熱延伸装置の説明図である。

図 6 A、図 6 B 及び図 6 C は、本発明の実施例 2、4、5 で使用した溶液吐出装置の説明図である。

図 7 A 及び図 7 B は、本発明の実施例における溶液の吐出方向と走査方向を説明するための図である。

図 8 A、図 8 B、図 8 C 及び図 8 D は、比較例である気相形成低抵抗膜の作成工程を説明するための図である。

図 9 は本発明の実施例である画像表示装置の表示パネルの一部を切り欠いて示した斜視図である。

図 10 は実施例で用いたマルチ電子ビーム源の基板の一部を示す平面図である。

図 11 は図 10 のマルチ電子ビーム源基板の 11-11 に沿う断面図である。

図 12 は表示パネルのフェースプレートの蛍光体配列の一例を示す図である。

図 13 は表示パネルのフェースプレートの蛍光体配列の別の例を示す図である。

図 14 は表示パネルのフェースプレートの蛍光体配列の別の例を示す図である。

図 15 は図 9 の表示パネルの 15-15 に沿う断面図である。

図 16 A 及び図 16 B は、実施例で用いた平面型の表面伝導型放出素子の平面図及び断面図である。

図 17 A、図 17 B、図 17 C、図 17 D 及び図 17 E は、平面型の表面伝導型放出素子の製造工程を示す断面図である。

図 18 は通電フォーミング処理の際の印加電圧波形を示す図である。

図 19 A 及び図 19 B は、通電活性化処理の際の印加電圧波形及び放出



電流  $I_e$  の変化を示す図である。

図 20 は実施例で用いた垂直型の表面伝導型放出素子の断面図である。

図 21 A、図 21 B、図 21 C、図 21 D、図 21 E 及び図 21 F は、垂直型の表面伝導型放出素子の製造工程を示す断面図である。

図 22 は実施例で用いた表面伝導型放出素子の典型的な特性を示す図である。

図 23 は本発明の実施例である画像表示装置の駆動回路の概略構成を示すブロック図である。

図 24 は本発明の一例であるはしご型配列の電子源の模式的平面図である。

図 25 は本発明の一例であるはしご型配列の電子源を持つ平面型表示装置の斜視図（スペーサ不図示）である。

図 26 は従来知られた表面伝導型放出素子の一例を示す平面図である。

図 27 は従来知られた F E 型素子の一例を示す断面図である。

図 28 は従来知られた M I M 型素子の一例を示す断面図である。

図 29 は従来知られた平面型画像表示装置の、表示パネルの一部を切り欠いて示した斜視図である。

図 30 は本発明の実施例 13 によるスペーサの接合部近傍の断面形状の説明図である。

## DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

先ず、後述の本発明の実施形態の構成によって解決される課題について説明する。

例えば図 29 に示したような従来の画像表示装置の表示パネルにおいては、以下のような問題点がある

第 1 に、スペーサ 3120 の近傍から放出された電子の一部がスペーサ 3120 に当たることにより、あるいは放出電子の作用でイオン化したイオンがスペーサに付着することにより、スペーサ帯電をひきおこす可能性がある。このスペーサの帯電により冷陰極素子 3112 から放出された電

子はその軌道を曲げられ、蛍光体上の正規な位置とは異なる場所に到達し、スペーサ近傍の画像が歪んで表示される。

第2に、冷陰極素子3112からの放出電子を加速するためにマルチビーム電子源とフェースプレート3117との間には数百V以上の高電圧（即ち1kV/mm以上の高電界）が印加されるため、スペーサ3120表面での沿面放電が懸念される。特に、前述のようにスペーサが帯電している場合は、放電が誘発される可能性がある。

これらの問題点を解決するために、スペーサに微小電流が流れるようにして帯電を除去する提案がなされている（特開昭57-118355号公報、特開昭61-124031号公報）。そこでは絶縁性のスペーサの表面に高抵抗薄膜（帯電防止膜）を形成することにより、スペーサ表面に微小電流が流れるようにしている。ここで用いられている帯電防止膜は酸化スズ、あるいは酸化スズと酸化インジウム混晶薄膜や金属膜である。

また、画像ソースの種類によっては、dutyの大きい場合などに高抵抗膜による帯電除去する方法だけでは画像のゆがみの低減が不十分であることがあった。この問題は、高抵抗膜付きスペーサと上下基板すなわちフェースプレートおよびリアプレートとの間の電氣的接合が不十分であり、接合部付近に帯電が集中することが要因として考えられる。この点を解決する提案として特開平8-180821号公報のように底面とフェースプレート側およびリアプレート側から100～1000μm程度の範囲までを白金などの金属または高抵抗膜より導電率の高い材料を成膜することにより、上下基板との電氣的コンタクトを確保する手法がある。

これらの低抵抗膜の成膜法としてスパッタ成膜、抵抗加熱蒸着等の気相成膜手法によるメタライゼーションが一般的であったが、これらは、均一な混合薄膜の材料組成設計が簡便に行えるという理由等により用いられてきた。しかしながら、真空減圧工程を必要とし、バッチ処理のタクトタイムがかかること、装置コストが大きいこと、原料の利用効率が低いことなどの理由から、生産時にコスト上大きな問題となる。したがって、これらの低抵抗膜を、簡便で安価にかつ一度に大量に作成できる作成プロセスが

要求されている。

したがって、本発明が解決する主たる課題は、上記従来スパーサの作成上の欠点を克服することであり、具体的には真空減圧装置を必要とせずに、低抵抗膜付きスパーサを容易かつ安価に作成できるようにすることにある。

以下に本発明の好ましい態様について説明する。

本発明においては、スパーサ部材に付与する低抵抗膜の液相形成手法として、溶液を液滴として吐出する吐出法を好ましく用いることができる。

この吐出法による効果としては、①真空減圧工程を必要としない、②装置コストが抑制できる、③タクトタイムを抑制できる、などの点が挙げられる。すなわち、気相形成方法による場合には、排気、減圧、成膜、大気リーク後の膜は不安定状態にあり、不安定な過渡状態で他の部材を成膜することで膜剥がれ等の問題が生じることがあり、安定状態に緩和させる必要があった。これは膜の構造や表面活性に関係していると思われるが、とりわけ水の脱吸着の安定化に関係すると考えられる。しかしながら、真空工程を経由しない液相形成、加熱焼成を採用することにより、これらの不安定状態の経路を抑えることができる。

また、吐出法によるさらなる効果として、膜の不要な部分には吐出しない事が可能で材料の利用効率が高く、また吐出ノズルと被吐出試料の移動速度およびその吐出量を制御する事により、簡便に製膜面積の制御すなわちパターンニングを製膜工程中と同時に行えるので、フォトリソグラフィなどのパターンニング工程を省く事も可能である、ことが挙げられる。

ここで用いられる液滴付与装置の具体例を挙げるならば、任意の液滴を形成できる装置であればどのような装置を用いてもかまわないが、特に十数  $\text{ng}$  ～十数  $\mu\text{g}$  程度の範囲で制御が可能でかつ数十  $\text{ng}$  程度以上の微小量の液滴が容易に形成できるインクジェット方式の装置が好適である。そのようなインクジェット方式の装置としては、圧電素子等を用いたインクジェット噴射装置、熱エネルギーによって液体内に気泡を形成させてその液体を液滴として吐出させる方式（以下、バブルジェット方式と称する）によるインクジェット噴射装置、および高圧気体を使用し液を霧状化する

エアープラシ方式噴射装置などが挙げられるが、液滴サイズの制御性から圧電素子を用いた方式が熱エネルギーにより気泡を発生させ液滴を吐出させる方式が好ましい。また、液滴の吐出面積の時間効率と面境界における被覆率の点から、図7Aに示す垂直打ちよりも、図7Bに示すように液滴704の吐出する方向をスペーサ基板101に対して斜めに行い、側面702と底面703の2面を同時形成する事も可能である。さらには、液滴の吐出形成の際、吐出装置と被吐出試料であるスペーサ基板のどちらを走査してもよく、必要に応じて同時に走査する事も可能である。

また、低抵抗膜を形成するために用いる液滴としては、液滴となるものであればどのようなものであっても構わないが、水、溶剤等に所望の抵抗値を得る為の材料を分散または溶解した液、有機金属化合物溶液および有機金属錯体を含む溶液等があり、選択されうる材料種としては、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属、PdO、SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>、PbO、Sb<sub>2</sub>O<sub>3</sub>等の酸化物、HfB<sub>2</sub>、ZrB<sub>2</sub>、LaB<sub>6</sub>、CeB<sub>6</sub>、YB<sub>4</sub>、Gd<sub>2</sub>B<sub>4</sub>等の硼化物、TiC、ZrC、HfC、TaC、SiC、WC等の炭化物、TiN、ZrN、HfN等の窒化物、S、Ge等の半導体、カーボン等が挙げられる。

また、形成された低抵抗膜の膜構造は、結晶質、非晶質、多結晶等の構造のいずれでもよく、微粒子が分散された微粒子膜を用いる事もできる。なお、ここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接あるいは重なり合った状態（島状も含む）の膜をさしており、微粒子の一次粒径は、数Å～数千Å、好ましくは10Å～800Åである。

さらには、前記スペーサ基板としてその材料が、石英ガラス、Na等の不純物含有量を減少させたガラス、青板ガラス、SiO<sub>2</sub>を表面に形成したガラス基板およびアルミナ等のセラミックス基板等から選択する事が可能であるが、パネル組み立て中の熱的ストレスによるスペーサ材の転倒を避ける為、RPおよびFPとの熱膨張率に大きな差が無い材料を選ぶ事が好

ましい。また、特にスペーサ材は板状、柱状、円柱状などの形状が吐出法において選択することが考えられ、これらの必要な形状を得る為に、シート整形、ファイバー整形など種々の方法が選択できる。

また、低抵抗膜のスペーサ基板の側面と底面間における良好な膜の連続性を確保するために、基板エッジすなわち底面と側面の境界領域における断面形状に実質的に鋭角な断面が存在しないことが好ましい。この具体的な方法としては、例えばスペーサ基板の側面と底面の間をR加工もしくはテーパ加工することが挙げられる。

このようにスペーサ基板の底面と側面間の境界領域の断面形状をR加工を施すなどの滑らかな連続面とすることにより、基板エッジすなわち底面と側面の境界領域における低抵抗膜の被覆率を向上させることができる。このため、低抵抗膜が底面と側面で分断されることが無く、両面の良好な電氣的コンタクトを得ることができ、電子線装置としてスペーサを組み込んだ時に、スペーサ表面の帯電をF PおよびR Pの基板面に効率的に逃すことができる。

さらには、その低抵抗膜形成部付近の基板面の表面積が垂直加工したものとの面積に対して小であることが好ましく、さらに組み立て精度を確保する目的から底面をある程度確保する必要がある。具体的には、例えば図4に示すように、低抵抗膜403の形成部のスペーサ基板101の厚さの最大値を $t$ 、低抵抗膜403の高さを $h$ 、低抵抗膜403の断面内周長を $s$ としたとき、

$$(t^2 + 4h^2) < s^2 < (t + 2h)^2$$

の関係を満足するように加工することが好ましい。

上記関係を満足する断面形状を得るための具体的な手法としては、低抵抗膜の連続性、底面・側面間の電氣的接合が良好であれば、如何なる手段を用いてもよいが、簡便なる手法として、図5に示すような装置による以下の加熱延伸法を用いることができる。

すなわち、所望するスペーサ基板の断面積を $S_1$ 、スペーサ母材501の断面積を $S_2$ としたとき、 $S_2 > S_1$ 、の関係を満足し、しかも所望するス

ペーサ基板の断面と相似形状を有する母材を用い、このスペーサ母材 501 の両端を固定し長手方向の一部を軟化点以上の温度にヒーター等により加熱するとともに、一方の端部を加熱部位方向に速度  $V_1$  で送り出し、もう一方の端部を  $V_1$  と同一方向に速度  $V_2$  で引き出す際に、これらの速度が、 $S_1/S_2 = V_1/V_2$  の関係を満たすようにして加熱延伸する。このときの加熱温度は、母材の種類、加工形状によるが、通常 500 ~ 700℃ 程度である。そして、この後に冷却し、引き伸ばされたスペーサ母材を所望の長さに切断することによって所望の断面形状を有するスペーサ基板を得ることができる。

また、垂直に切り出したまたは削り出した基板のエッジに後処理として、R加工またはテーパー処理を施してもよいが、このときの具体的手段としては、サンドブラスト、レーザースクライブ、ウォーターブラスト、スクライブカット、研磨、弗酸等によるケミカルエッチング処理等を用いることができる。

基板エッジのR加工の曲率半径の加工範囲は、基板厚の  $1/2$  以下の良好な連続面を形成することができるが、経験的により好ましくは、低抵抗膜形成部のスペーサ基板の厚さの最大値  $t$  (図4参照) の  $1/100$  以上の曲率半径を持つことにより、低抵抗膜の連続性と組み立て精度を満足することが可能となる。

また、本来的に吐出法によれば、パターンニング機能を有している為、パターンニングを別途行う必要はないが、配線との短絡や低抵抗膜の基板エッジ付近における突起形状が放電要因になる場合など、必要に応じて、部分的に低抵抗膜が形成されていない部分を作る事も有効である。この具体的手法としては、特に下記に限定されないが、低抵抗膜に対応したエッチングプロセス、レーザーリペアによる除去、またはフォトリソグラフィーまたはリフトオフプロセスによるパターンニング形成、マスクによる塗工液部分展開等を適用する事ができる。

また、前記吐出法による低抵抗膜を設けたスペーサにさらに高抵抗膜を付与することにより、スペーサ表面の帯電を抑え、結果として、発光点の

ずれの無い良好な画像が得られる。より好ましくは、高抵抗膜の表面抵抗値が、 $10^5 \Omega/\square \sim 10^{12} \Omega/\square$ の表面抵抗値を有することで、帯電と上下基板間の電流消費および発熱を抑えることが可能となる。また、低抵抗膜の抵抗値は、上下基板との電気的接合を良好にする目的から、その表面抵抗値として前記高抵抗膜の抵抗値の $1/10$ 以下であり、かつ $10^7 \Omega/\square$ 以下である事が望ましい。

また、本発明に適用する電子放出素子は、冷陰極素子が好ましく、なかでも電極間に電子放出部を含む導電性膜を有する電子放出素子のような表面伝導型電子放出素子は構造が簡単でかつ高輝度が得られることからより好ましい。

また、前記FPを、入力信号に応じて前記電子放出素子から放出された電子の照射により画像を形成する画像形成部材を有するものとする事により、本発明の電子線装置を表示装置等の画像形成装置とすることができる。また、この画像形成部材としては、画像記録という観点からさまざまな材料により潜像を形成できるが、蛍光体から成ることにより安価に動画像を記録表示できる。

#### (画像表示装置概要)

次に、本発明を適用した画像表示装置の表示パネルの構成と製造法について、具体的な例を示して説明する。

図9は、実施例に用いた表示パネルの斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。

図中、1015はリアプレート、1016は側壁、1017はフェースプレートであり、1015～1017により表示パネルの内部を真空に維持するための気密容器を形成している。気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、たとえばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、 $400 \sim 500^\circ\text{C}$ で10分以上焼成することにより封着を達成した。気密容器内部を真空に排気する方法については後述する。また、上記気密容器の内部は $10^{-4} \text{ Pa}$ 程度の真空に保持されるので、大気圧や

不意の衝撃などによる気密容器の破壊を防止する目的で、耐大気圧構造体として、スペーサ1020が設けられている。

次に、本発明の画像形成装置に用いることができる電子源基板について説明する。本発明の画像形成装置に用いられる電子源基板は複数の電子放出素子を基板上に配列することにより形成される。

電子放出素子の配列の方式には、電子放出素子を並列に配置し、個々の素子の両端を配線で接続するはしご型配置（以下、はしご型配置電子源基板と称する）や、電子放出素子の一对の素子電極をそれぞれX方向配線、Y方向配線に接続した単純マトリクス配置（以下、マトリクス型配置電子源基板と称する）が挙げられる。なお、はしご型配置電子源基板を有する画像形成装置には、電子放出素子からの電子の飛翔を制御する電極である制御電極（グリッド電極）を必要とする。

リアプレート1015には、基板1011が固定されているが、該基板上には電子放出素子1012が $n \times m$ 個形成されている（ $n$ 、 $m$ は2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。たとえば、高品位テレビジョンの表示を目的とした表示装置においては、 $n \geq 3000$ 、 $m \geq 1000$ 、に設定することが望ましい。）。前記 $n \times m$ 個の電子放出素子は、 $m$ 本の行方向配線1013と $n$ 本の列方向配線1014により単純マトリクス配線されている。前記、1011～1014によって構成される部分をマルチ電子ビーム源と呼ぶ。

本発明の画像表示装置に用いるマルチ電子ビーム源は、電子放出素子を単純マトリクス配線もしくは、はしご型配線した電子源であれば、電子放出素子の材料や形状あるいは製法に制限はない。

したがって、たとえば表面伝導型放出素子やFE型、あるいはMIM型などの冷陰極素子を用いることができる。

次に、電子放出素子として表面伝導型放出素子（後述）を基板上に配列して単純マトリクス配線したマルチ電子ビーム源の構造について述べる。

図10に示すのは、図9の表示パネルに用いたマルチ電子ビーム源の平面図である。基板1011上には、後述の図16で示すものと同様な表面



伝導型放出素子が配列され、これらの素子は行方向配線 1013 と列方向配線 1014 により単純マトリクス状に配線されている。行方向配線 1013 と列方向配線 1014 の交差する部分には、電極間に絶縁層（不図示）が形成されており、電気的な絶縁が保たれている。図 10 の 11—11 に沿った断面を、図 11 に示す。

なお、このような構造のマルチ電子源は、あらかじめ基板上に行方向配線 1013、列方向配線 1014、電極間絶縁層（不図示）、および表面伝導型放出素子の素子電極と導電性薄膜を形成した後、行方向配線 1013 および列方向配線 1014 を介して各素子に給電して通電フォーミング処理（後述）と通電活性化処理（後述）を行うことにより製造した。

本例においては、気密容器のリアプレート 1015 にマルチ電子ビーム源の基板 1011 を固定する構成としたが、マルチ電子ビーム源の基板 1011 が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子ビーム源の基板 1011 自体を用いてもよい。

また、フェースプレート 1017 の下面には、蛍光膜 1018 が形成されている。本例はカラー表示装置であるため、蛍光膜 1018 の部分には CRT の分野で用いられる赤、緑、青、の 3 原色の蛍光体が塗り分けられている。各色の蛍光体は、たとえば図 12 に示すようにストライプ状に塗り分けられ、蛍光体のストライプの間には黒色の導電体 1010 が設けられている。黒色の導電体 1010 を設ける目的は、電子ビームの照射位置に多少のずれがあっても表示色にずれが生じないようにする事や、外光の反射を防止して表示コントラストの低下を防ぐ事、電子ビームによる蛍光膜のチャージアップを防止する事などである。黒色の導電体 1010 には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いても良い。

また、3 原色の蛍光体の塗り分け方は前記図 12 に示したストライプ状の配列に限られるものではなく、たとえば図 13 に示すようなデルタ状配列や、それ以外の配列であってもよい。

なお、モノクロームの表示パネルを作成する場合には、単色の蛍光体材

料を蛍光膜 1018 に用いればよく、また黒色導電材料は必ずしも用いなくともよい。また、蛍光膜 1018 のリアプレート側の面には、CRT の分野では公知のメタルバック 1019 を設けてある。メタルバック 1019 を設けた目的は、蛍光膜 1018 が発する光の一部を鏡面反射して光利用率を向上させる事や、負イオンの衝突から蛍光膜 1018 を保護する事や、電子ビーム加速電圧を印加するための電極として作用させる事や、蛍光膜 1018 を励起した電子の導電路として作用させる事などである。メタルバック 1019 は、蛍光膜 1018 をフェースプレート基板 1017 上に形成した後、蛍光膜表面を平滑化処理し、その上に Al を真空蒸着する方法により形成した。なお、蛍光膜 1018 に低電圧用の蛍光体材料を用いた場合には、メタルバック 1019 は用いない。

また、本例では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板 1017 と蛍光膜 1018 との間に、たとえばITOを材料とする透明電極を設けてもよい。

図 15 は図 9 の 15-15 に沿う断面模式図であり、各部の符号は図 9 に対応している。スペーサ 1020 はスペーサ基板 101 の表面に帯電防止を目的とした高抵抗膜 1501 を成膜し、かつフェースプレート 1017 の内側（メタルバック 1019 等）及び基板 1011 の表面（行方向配線 1013 または列方向配線 1014）に面したスペーサの当接面 401 及び接する側面 402 に低抵抗膜 403 を成膜した部材からなるもので、上記目的を達成するのに必要な数だけ、かつ必要な間隔をおいて配置され、フェースプレートの内側および基板 1011 の表面に接合材 1502 により固定される。

また、高抵抗膜 1501 は、スペーサ基板 101 の表面のうち、少なくとも気密容器内の真空中に露出している面に成膜されており、スペーサ 1020 上の低抵抗膜 403 および接合材 1502 を介して、フェースプレート 1017 の内側（メタルバック 1019 等）及び基板 1011 の表面（行方向配線 1013 または列方向配線 1014）に電氣的に接続される。ここで説明される態様においては、スペーサ 1020 の形状は薄板状と

し、行方向配線1013に平行に配置され、行方向配線1013に電氣的に接続されている。

スペーサ1020としては、基板1011上の行方向配線1013および列方向配線1014とフェースプレート1017内面のメタルバック1019との間に印加される高電圧に耐えるだけの絶縁性を有し、かつスペーサ1020の表面への帯電を防止する程度の導電性を有する必要がある。

スペーサ基板101としては、前述のように石英ガラス、Na等の不純物含有量を減少したガラス、ソーダライムガラス、アルミナ等のセラミックス部材等が用いられる。なお、スペーサ基板101はその熱膨張率が気密容器および基板1011を成す部材と近いものが好ましい。

スペーサ1020を構成する高抵抗膜1501には、高電位側のフェースプレート1017（メタルバック1019等）に印加される加速電圧 $V_a$ を帯電防止膜である高抵抗膜1501の抵抗値 $R_s$ で除した電流が流される。そこで、スペーサの抵抗値 $R_s$ は帯電防止および消費電力からその望ましい範囲に設定される。帯電防止の観点から表面抵抗は $10^{12}\Omega/\square$ 以下であることが好ましい。十分な帯電防止効果を得るためには $10^{11}\Omega/\square$ 以下がさらに好ましい。表面抵抗の下限はスペーサ形状とスペーサ間に印加される電圧により左右されるが、 $10^5\Omega/\square$ 以上であることが好ましい。

絶縁材料からなるスペーサ基板101上に形成された高抵抗膜1501の厚み $t$ は $10\text{ nm}\sim 1\text{ }\mu\text{ m}$ の範囲が望ましい。材料の表面エネルギーおよび基板との密着性や基板温度によっても異なるが、一般的に $10\text{ nm}$ 以下の薄膜は島状に形成され、抵抗が不安定で再現性に乏しい。一方、膜厚 $t$ が $1\text{ }\mu\text{ m}$ 以上では膜応力が大きくなって膜はがれの危険性が高まり、かつ成膜時間が長くなるため生産性が悪い。従って、膜厚は $50\sim 500\text{ nm}$ であることが望ましい。表面抵抗 $R/\square$ は $\rho/t$ であり、以上に述べた $R/\square$ と $t$ の好ましい範囲から、高抵抗膜1501の比抵抗 $\rho$ は $0.1\text{ }\Omega\text{ cm}$ 乃至 $10^8\text{ }\Omega\text{ cm}$ が好ましい。さらに表面抵抗と膜厚のより好ましい範囲を実現するためには、 $\rho$ は $10^2$ 乃至 $10^6\text{ }\Omega\text{ cm}$ とするのが良い。

スペーサは上述したようにその上に形成した高抵抗膜 1501 を電流が流れることにより、あるいはディスプレイ全体が動作中に発熱することによりその温度が上昇する。高抵抗膜 1501 の抵抗温度係数が大きな負の値であると温度が上昇した時に抵抗値が減少し、スペーサに流れる電流が増加し、さらに温度上昇をもたらす。そして電流は電源の限界を越えるまで増加しつづける。このような電流の暴走が発生する抵抗温度係数の値は経験的に負の値で絶対値が 1% 以上である。すなわち、高抵抗膜（帯電防止膜） 1501 の抵抗温度係数は -1% 未満であることが望ましい。

帯電防止特性を有する高抵抗膜 1501 の材料としては、例えば金属酸化物を用いることが出来る。金属酸化物の中でも、クロム、ニッケル、銅の酸化物が好ましい材料である。その理由はこれらの酸化物は二次電子放出効率が比較的小さく、電子放出素子 1012 から放出された電子がスペーサ 1020 に当たった場合においても帯電しにくためと考えられる。金属酸化物以外にも炭素は二次電子放出効率が小さく好ましい材料である。特に、非晶質カーボンは高抵抗であるため、スペーサ抵抗を所望の値に制御しやすい。

帯電防止特性を有する高抵抗膜 1501 の他の材料として、アルミと遷移金属合金の窒化物は遷移金属の組成を調整することにより、良伝導体から絶縁体まで広い範囲に抵抗値を制御できるので好適な材料である。さらには後述する表示装置の作製工程において抵抗値の変化が少なく安定な材料である。かつ、その抵抗温度係数が -1% 未満であり、実用的に使いやすい材料である。遷移金属元素としては Ti, Cr, Ta 等が挙げられる。

合金窒化膜はスパッタ、窒素ガス雰囲気中での反応性スパッタ、電子ビーム蒸着、イオンプレーティング、イオンアシスト蒸着法等の薄膜形成手段により絶縁性部材上に形成される。金属酸化物膜も同様の薄膜形成法で作製することができるが、この場合窒素ガスに代えて酸素ガスを使用する。その他、CVD 法、アルコキシド塗布法でも金属酸化物膜を形成できる。カーボン膜は蒸着法、スパッタ法、CVD 法、プラズマ CVD 法で作製され、特に非晶質カーボンを作製する場合には、成膜中の雰囲気に水素が含まれ

スペーサ 1020 を構成する低抵抗膜 403 は、高抵抗膜 1501 を高電位側のフェースプレート 1017（メタルバック 1019 等）及び低電位側の基板 1011（配線 1013、1014 等）と電気的に接続する為に設けられたものであり、以下では、中間電極層（中間層）という名称も用いる。中間電極層（中間層）は以下に列挙する複数の機能の少なくともいずれかを有することが出来る。

①高抵抗膜1501をフェースプレート1017及び基板1011と電氣的に接続する。

既に記載したように、高抵抗膜1501はスペーサ1020の表面での帯電を防止する目的で設けられたものであるが、高抵抗膜1501をフェースプレート1017（メタルバック1019等）及び基板1011（配線1013、1014等）と直接或いは当接材1502を介して接続した場合、接続部界面に大きな接触抵抗が発生し、スペーサ表面に発生した電荷を速やかに除去できなくなる可能性がある。これを避ける為に、フェースプレート1017、基板1011及び当接材1502と接触するスペーサ1020の当接面401或いは側面部402に低抵抗の中間層を設けた。

②高抵抗膜1501の電位分布を均一化する。

電子放出素子 1012 より放出された電子は、フェースプレート 1017 と基板 1011 の間に形成された電位分布に従って電子軌道を成す。スペーサ 1020 の近傍で電子軌道に乱れが生じないようにする為には、高抵抗膜 1501 の電位分布を全域にわたって制御する必要がある。高抵抗膜 1501 をフェースプレート 1017 (メタルバック 1019 等) 及び基板 1011 (配線 1013、1014 等) と直接或いは当接材 1502 を介して接続した場合、接続部界面の接触抵抗の為に、接続状態のむらが発生し、高抵抗膜 1501 の電位分布が所望の値からずれてしまう可能性がある。これを避ける為に、スペーサ 1020 がフェースプレート 1017 及び基板 1011 と当接するスペーサ端部 (当接面 401 或いは側面部 402) の全長域に低抵抗の中間層 403 を設け、この中間層部に所望の

電位を印加することによって、高抵抗膜 1 5 0 1 全体の電位を制御可能とした。

③放出電子の軌道を制御する。

電子放出素子 1 0 1 2 より放出された電子は、フェースプレート 1 0 1 7 と基板 1 0 1 1 の間に形成された電位分布に従って電子軌道を成す。スペーサ近傍の電子放出素子から放出された電子に関しては、スペーサを設置することに伴う制約（配線、素子位置の変更等）が生じる場合がある。このような場合、歪みやむらの無い画像を形成する為には、放出された電子の軌道を制御してフェースプレート 1 0 1 7 上の所望の位置に電子を照射する必要がある。フェースプレート 1 0 1 7 及び基板 1 0 1 1 と当接する面の側面部 4 0 2 に低抵抗の中間層を設けることにより、スペーサ 1 0 2 0 近傍の電位分布に所望の特性を持たせ、放出された電子の軌道を制御することが出来る。

低抵抗膜 4 0 3 は、高抵抗膜 1 5 0 1 に比べ 1 桁以上低い抵抗値を有する材料を含有するものから選択すればよく、Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd 等の金属、あるいは合金、及び Pd, Ag, Au, RuO<sub>2</sub>, Pd-Ag 等の金属や金属酸化物とガラス等から構成される印刷導体、あるいは In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub> 等の透明導体及びポリシリコン等の半導体材料等より適宜選択される。

接合材 1 5 0 2 はスペーサ 1 0 2 0 が行方向配線 1 0 1 3 およびメタルバック 1 0 1 9 と電氣的に接続するように、導電性をもたせる必要がある。すなわち、導電性接着材や金属粒子や導電性フィラーを添加したフリットガラスが好適である。

また、図 9 における D x 1 ~ D x m および D y 1 ~ D y n および H v は、当該表示パネルと不図示の電気回路とを電氣的に接続するために設けた気密構造の電気接続用端子である。D x 1 ~ D x m はマルチ電子ビーム源の行方向配線 1 0 1 3 と、D y 1 ~ D y n はマルチ電子ビーム源の列方向配線 1 0 1 4 と、H v はフェースプレートのメタルバック 1 0 1 9 と電氣的に接続している。

また、気密容器内部を真空に排気するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を $10^{-5}$  Pa程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前あるいは封止後に気密容器内の所定の位置にゲッター膜（不図示）を形成する。ゲッター膜とは、たとえばBaを主成分とするゲッター材料をヒーターもしくは高周波加熱により加熱し蒸着して形成した膜であり、該ゲッター膜の吸着作用により気密容器内は $10^{-5}$  Paないしは $10^{-6}$  Pa程度の真空度に維持される。

以上説明した表示パネルを用いた画像表示装置は、容器外端子Dx1ないしDxm、Dy1ないしDy nを通じて各電子放出素子1012に電圧を印加すると、各電子放出素子1012から電子が放出される。それと同時にメタルバック1019に容器外端子Hvを通じて数百[V]ないし数[kV]の高圧を印加して、上記放出された電子を加速し、フェースプレート1017の内面に衝突させる。これにより、蛍光膜1018をなす各色の蛍光体が励起されて発光し、画像が表示される。

通常、冷陰極素子である表面伝導型放出素子1012への印加電圧は12～16[V]程度、メタルバック1019と表面伝導型放出素子1012との距離dは0.1[mm]から8[mm]程度、メタルバック1019と表面伝導型放出素子1012間の電圧は0.1[kV]から10[kV]程度である。

以上、本発明の実施例の表示パネルの基本構成と製法、および画像表示装置の概要を説明した。

次に、前記実施例の表示パネルに用いたマルチ電子ビーム源の製造方法について説明する。本発明の画像表示装置に用いるマルチ電子ビーム源としては、冷陰極素子を単純マトリクス配線した電子源が挙げられ、冷陰極素子の材料や形状あるいは製法に制限はない。したがって、たとえば表面伝導型放出素子やFE型、あるいはMIM型などの冷陰極素子を用いることができる。

ただし、表示画面が大きくてしかも安価な表示装置が求められる状況の





るいは上述の各種基板上にたとえば $\text{SiO}_2$ を材料とする絶縁層を積層した基板、などを用いることができる。

また、基板 1 1 0 1 上に基板面と平行に対向して設けられた素子電極 1 1 0 2 と 1 1 0 3 は、導電性を有する材料によつて形成されている。たとえば、Ni, Cr, Au, Mo, W, Pt, Ti, Cu, Pd, Ag 等をはじめとする金属、あるいはこれらの金属の合金、あるいは  $\text{In}_2\text{O}_3-\text{SnO}_2$  をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。素子電極を形成するには、たとえば真空蒸着などの製膜技術とフォトリソグラフィ、エッチングなどのパターンニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法（たとえば印刷技術）を用いて形成してもさしつかえない。

素子電極 1 1 0 2 と 1 1 0 3 の形状は、当該電子放出素子の応用目的に合わせて適宜設計される。一般的には、素子電極間隔 L は通常は数百 Å から数百  $\mu\text{m}$  の範囲から適当な数値を選んで設計されるが、なかでも表示装置に応用するために好ましいのは数  $\mu\text{m}$  より数十  $\mu\text{m}$  の範囲である。また、素子電極の厚さ d については、通常は数百 Å から数  $\mu\text{m}$  の範囲から適当な数値が選ばれる。

導電性薄膜 1104 の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。

すなわち、素子電極 1 1 0 2 あるいは 1 1 0 3 と電氣的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、などである。具体的には、数Åから数千Åの範囲のなかで設定するが、なかでも好ましいのは 1 0 Å から 5 0 0 Å の間である。

また、導電性薄膜1104を形成するのに用いられうる材料としては、たとえば、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb, などをはじめとする金属や、PdO, SnO<sub>2</sub>, In<sub>2</sub>O<sub>3</sub>, PbO, Sb<sub>2</sub>O<sub>3</sub>, などをはじめとする酸化物や、HfB<sub>2</sub>, ZrB<sub>2</sub>, LaB<sub>6</sub>, CeB<sub>6</sub>, YB<sub>4</sub>, GdB<sub>4</sub>, などをはじめとする硼化物や、TiC, ZrC, HfC, TaC, SiC, WC, など

はじめとする炭化物や、 $TiN$ 、 $ZrN$ 、 $HfN$ 、などをはじめとする窒化物や、 $Si$ 、 $Ge$ 、などをはじめとする半導体や、カーボン、などが挙げられ、これらの中から適宜選択される。

導電性薄膜 1104 のシート抵抗値については、 $10^3$  から  $10^7 \Omega/\square$  の範囲に含まれるよう設定した。

なお、導電性薄膜 1104 と素子電極 1102 および 1103 とは、電氣的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、図 16 の例においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極の順序で積層してもさしつかえない。

また、電子放出部 1105 は、導電性薄膜 1104 の一部に形成された亀裂状の部分であり、電氣的には周囲の導電性薄膜よりも高抵抗な性質を有している。亀裂は、導電性薄膜 1104 に対して、後述する通電フォーミングの処理を行うことにより形成する。亀裂内には、数  $\text{\AA}$  から数百  $\text{\AA}$  の粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図 16 においては模式的に示した。

また、薄膜 1113 は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部 1105 およびその近傍を被覆している。薄膜 1113 は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。

薄膜 1113 は、単結晶グラファイト、多結晶グラファイト、非晶質カーボンのいずれかか、もしくはその混合物であり、膜厚は  $500 \text{\AA}$  以下とするが、 $300 \text{\AA}$  以下とするのがさらに好ましい。なお、実際の薄膜 1113 の位置や形状を精密に図示するのは困難なため、図 16 においては模式的に示した。

以上、好ましい素子の基本構成を述べたが、実施例においては以下のような素子を用いた。

すなわち、基板 1101 には基板ガラスを用い、素子電極 1102 と 1

103にはNi薄膜を用いた。素子電極の厚さdは1000Å、素子電極間隔Lは2μmとした。

導電性薄膜の主要材料としてPdもしくはPdOを用い、その厚さは約100Å、幅Wは100μmとした。

次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。

図17A～図17Eは、表面伝導型放出素子の製造工程を説明するための断面図で、各部材の表記は前記図16と同一である。

1) まず、図17Aに示すように、基板1101上に素子電極1102および1103を形成する。

形成するにあたっては、あらかじめ基板1101を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる。堆積する方法としては、たとえば、蒸着法やスパッタ法などの真空成膜技術を用いればよい。その後、堆積した電極材料を、フォトリソグラフィ―・エッチング技術を用いてパターンニングし、図17Aに示した一对の素子電極(1102と1103)を形成する。

2) 次に、図17Bに示すように、導電性薄膜1104を形成する。

形成するにあたっては、まず図17Aの基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して導電性薄膜を成膜した後、フォトリソグラフィ―・エッチングにより所定の形状にパターンニングする。ここで、有機金属溶液とは、導電性薄膜に用いる材料を主要元素とする有機金属化合物の溶液である。具体的には、本実施例では主要元素としてPdを用いた。また、実施例では塗布方法として、ディッピング法を用いたが、それ以外のたとえばスピナー法やスプレー法を用いてもよい。

また、導電性薄膜の成膜方法としては、本実施例で用いた有機金属溶液の塗布による方法以外の、たとえば真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

3) 次に、図17Cに示すように、フォーミング用電源1110から素子電極1102と1103の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部1105を形成する。

通電フォーミング処理とは、導電性薄膜 1 1 0 4 に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。導電性薄膜のうち電子放出を行うのに好適な構造に変化した部分（すなわち電子放出部 1 1 0 5）においては、薄膜に適当な亀裂が形成されている。なお、電子放出部 1 1 0 5 が形成される前と比較すると形成された後は素子電極 1 1 0 2 と 1 1 0 3 の間で計測される電気抵抗は大幅に増加する。

通電方法をより詳しく説明するために、図 1 8 に、フォーミング用電源 1 1 1 0 から印加する適宜の電圧波形の一例を示す。導電性薄膜をフォーミングする場合には、パルス状の電圧が好ましく、本実施例の場合には同図に示したようにパルス幅  $T_1$  の三角波パルスをパルス間隔  $T_2$  で連続的に印加した。その際には、三角波パルスの波高値  $V_{pf}$  を、順次昇圧した。また、電子放出部 1 1 0 5 の形成状況をモニターするためのモニターパルス  $P_m$  を適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計 1 1 1 1 で計測した。

実施例においては、たとえば  $10^{-3}$  Pa 程度の真空雰囲気下において、たとえばパルス幅  $T_1$  を 1 [ミリ秒]、パルス間隔  $T_2$  を 10 [ミリ秒] とし、波高値  $V_{pf}$  を 1 パルスごとに 0.1 [V] ずつ昇圧した。そして、三角波を 5 パルス印加するたびに 1 回の割りで、モニターパルス  $P_m$  を挿入した。フォーミング処理に悪影響を及ぼすことがないように、モニターパルスの電圧  $V_{pm}$  は 0.1 [V] に設定した。そして、素子電極 1 1 0 2 と 1 1 0 3 の間の電気抵抗が  $1 \times 10^6 \Omega$  になった段階、すなわちモニターパルス印加時に電流計 1 1 1 1 で計測される電流が  $1 \times 10^{-7}$  A 以下になった段階で、フォーミング処理にかかわる通電を終了した。

なお、上記の方法は、本実施例の表面伝導型放出素子に関する好ましい方法であり、たとえば導電性薄膜の材料や膜厚、あるいは素子電極間隔など表面伝導型放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

4) 次に、図 1 7 D に示すように、活性化用電源 1 1 1 2 から素子電極

1102と1103の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。

通電活性化処理とは、前記通電フォーミング処理により形成された電子放出部1105に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである。（図においては、炭素もしくは炭素化合物よりなる堆積物を部材1113として模式的に示した。）なお、通電活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放出電流を典型的には100倍以上に増加させることができる。

具体的には、例えば $10^{-2}$ ないし $10^{-3}$  Paの範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500 Å以下、より好ましくは300 Å以下である。

通電方法をより詳しく説明するために、図19Aに、活性化用電源1112から印加する適宜の電圧波形の一例を示す。本実施例においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧 $V_{ac}$ は14 [V]、パルス幅 $T_3$ は1 [ミリ秒]、パルス間隔 $T_4$ は10 [ミリ秒]とした。なお、上述の通電条件は、本実施例の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

図17Dに示す1114は該表面伝導型放出素子から放出される放出電流 $I_e$ を捕捉するためのアノード電極で、直流高電圧電源1115および電流計1116が接続されている。（なお、基板1101を、表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極1114として用いる。）活性化用電源1112から電圧を印加する間、電流計1116で放出電流 $I_e$ を計測して通電活性化処理の進行状況をモニターし、活性化用電源1112の動作を制御する。電流

計 1 1 1 6 で計測された放出電流  $I_e$  の一例を図 1 9 B に示すが、活性化電源 1 1 1 2 からパルス電圧を印加しはじめると、時間の経過とともに放出電流  $I_e$  は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流  $I_e$  がほぼ飽和した時点で活性化用電源 1 1 1 2 からの電圧印加を停止し、通電活性化処理を終了する。

なお、上述の通電条件は、本実施例の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

以上のようにして、図 1 7 E に示す平面型の表面伝導型放出素子を製造した。

#### (垂直型の表面伝導型放出素子)

次に、表面伝導型放出素子のもうひとつの代表的な構成、すなわち垂直型の表面伝導型放出素子の構成について説明する。

図 2 0 は、垂直型の基本構成を説明するための模式的な断面図であり、図中の 1 2 0 1 は基板、1 2 0 2 と 1 2 0 3 は素子電極、1 2 0 6 は段差形成部材、1 2 0 4 は導電性薄膜、1 2 0 5 は通電フォーミング処理により形成した電子放出部、1 2 1 3 は通電活性化処理により形成した薄膜である。

垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方 (1 2 0 2) が段差形成部材 1 2 0 6 上に設けられており、導電性薄膜 1 2 0 4 が段差形成部材 1 2 0 6 の側面を被覆している点にある。したがって、前記図 1 6 の平面型における素子電極間隔  $L$  は、垂直型においては段差形成部材 1 2 0 6 の段差高  $L_s$  として設定される。なお、基板 1 2 0 1、素子電極 1 2 0 2 および 1 2 0 3、導電性薄膜 1 2 0 4、については、前記平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材 1 2 0 6 には、たとえば  $\text{SiO}_2$  のような電氣的に絶縁性の材料を用いる。

次に、垂直型の表面伝導型放出素子の製法について説明する。図 2 1 A ~ 2 1 F は、製造工程を説明するための断面図で、各部材の表記は前記図

20と同一である。

1) まず、図21Aに示すように、基板1201上に素子電極1203を形成する。

2) 次に、図21Bに示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層は、たとえば $\text{SiO}_2$ をスパッタ法で積層すればよいが、たとえば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

3) 次に、図21Cに示すように、絶縁層の上に素子電極1202を形成する。

4) 次に、図21Dに示すように、絶縁層の一部を、たとえばエッチング法を用いて除去し、素子電極1203を露出させる。

5) 次に、図21Eに示すように、導電性薄膜1204を形成する。形成するには、前記平面型の場合と同じく、たとえば塗布法などの成膜技術を用いればよい。

6) 次に、前記平面型の場合と同じく、通電フォーミング処理を行い、電子放出部を形成する。(図17Cを用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい。)

7) 次に、前記平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる。(図17Dを用いて説明した平面型の通電活性化処理と同様の処理を行えばよい。)

以上のようにして、図21Fに示す垂直型の表面伝導型放出素子を製造した。

(表示装置に用いた表面伝導型放出素子の特性)

以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

図22に、表示装置に用いた素子の、(放出電流 $I_e$ )対(素子印加電圧 $V_f$ )特性、および(素子電流 $I_f$ )対(素子印加電圧 $V_f$ )特性の典型的な例を示す。なお、放出電流 $I_e$ は素子電流 $I_f$ に比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるた

表示装置に用いた素子は、放出電流  $I_e$  に関して以下に述べる 3 つの特性を有している。

第一に、ある電圧（これを閾値電圧  $V_{th}$  と呼ぶ）以上の大きさの電圧を素子に印加すると急激に放出電流  $I_e$  が増加するが、一方、閾値電圧  $V_{th}$  未満の電圧では放出電流  $I_e$  はほとんど検出されない。すなわち、放出電流  $I_e$  に関して、明確な閾値電圧  $V_{th}$  を持った非線形素子である。

第二に、放出電流  $I_e$  は素子に印加する電圧  $V_f$  に依存して変化するため、電圧  $V_f$  で放出電流  $I_e$  の大きさを制御できる。

第三に、素子に印加する電圧  $V_f$  に対して素子から放出される電流  $I_e$  の応答速度が速いため、電圧  $V_f$  を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができた。たとえば多数の素子を表示画面の画素に対応して設けた表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧  $V_{th}$  以上の電圧を適宜印加し、非選択状態の素子には閾値電圧  $V_{th}$  未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

また、第二の特性かまたは第三の特性を利用することにより、発光輝度を制御することができるため、階調表示を行うことが可能である。

(多数素子を単純マトリクス配線したマルチ電子ビーム源の構造)

次に、上述の表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子ビーム源の構造について述べる。

図 10 に示すのは、前記図 9 の表示パネルに用いたマルチ電子ビーム源の平面図である。基板上には、前記図 1.6 で示したものと同様な表面伝導型放出素子が配列され、これらの素子は行方向配線電極 1003 と列方向配線電極 1004 により単純マトリクス状に配線されている。行方向配線



電極1003と列方向配線電極1004の交差する部分には、電極間に絶縁層（不図示）が形成されており、電氣的な絶縁が保たれている。図10の11-11に沿った断面を、図11に示す。

なお、このような構造のマルチ電子源は、あらかじめ基板上に行方向配線電極1013、列方向配線電極1014、電極間絶縁層（不図示）、および表面伝導型放出素子の素子電極と導電性薄膜を形成した後、行方向配線電極1013および列方向配線電極1014を介して各素子に給電して通電フォーミング処理と通電活性化処理を行うことにより製造した。

（駆動回路構成および駆動方法）

図23は、NTSC方式のテレビ信号に基づいてテレビジョン表示を行う為の駆動回路の概略構成をブロック図で示したものである。同図中、表示パネル1701は前述した表示パネルに相当するもので、前述した様に製造され、動作する。また、走査回路1702は表示ラインを走査し、制御回路1703は走査回路へ入力する信号等を生成する。シフトレジスタ1704は1ライン毎のデータをシフトし、ラインメモリ1705は、シフトレジスタ1704からの1ライン分のデータを変調信号発生器1707に入力する。同期信号分離回路1706はNTSC信号から同期信号を分離する。

以下、図23の装置各部の機能を詳しく説明する。

まず表示パネル1701は、端子Dx1ないしDxmおよび端子Dy1ないしDyn、および高圧端子Hvを介して外部の電気回路と接続されている。このうち、端子Dx1ないしDxmには、表示パネル1701内に設けられているマルチ電子ビーム源、すなわちm行n列の行列状にマトリクス配線された冷陰極素子を1行（n素子）ずつ順次駆動してゆく為の走査信号が印加される。一方、端子Dy1ないしDynには、前記走査信号により選択された1行分のn個の各素子の出力電子ビームを制御する為の変調信号が印加される。また、高圧端子Hvには、直流電圧源Vaより、たとえば5[kV]の直流電圧が供給されるが、これはマルチ電子ビーム源より出力される電子ビームに蛍光体を励起するのに十分なエネルギーを

付与する為の加速電圧である。

次に、走査回路 1702 について説明する。同回路は、内部に  $m$  個のスイッチング素子（図中、 $S_1$  ないし  $S_m$  で模式的に示されている）を備えるもので、各スイッチング素子は、直流電圧源  $V_x$  の出力電圧もしくは 0 [V]（グラウンドレベル）のいずれか一方を選択し、表示パネル 1701 の端子  $D_{x1}$  ないし  $D_{xm}$  と電氣的に接続するものである。 $S_1$  ないし  $S_m$  の各スイッチング素子は、制御回路 1703 が出力する制御信号  $T_{SCAN}$  に基づいて動作するものだが、実際にはたとえば FET のようなスイッチング素子を組合わせる事により容易に構成することが可能である。なお、前記直流電圧源  $V_x$  は、図 22 に例示した電子放出素子の特性に基づき走査されていない素子に印加される駆動電圧が閾値電圧  $V_{th}$  電圧以下となるよう、一定電圧を出力するよう設定されている。

また、制御回路 1703 は、外部より入力する画像信号に基づいて適切な表示が行なわれるように各部の動作を整合させる働きをもつものである。次に説明する同期信号分離回路 1706 より送られる同期信号  $T_{SYNC}$  に基づいて、各部に対して  $T_{SCAN}$  および  $T_{SFT}$  および  $T_{MRY}$  の各制御信号を発生する。同期信号分離回路 1706 は、外部から入力される NTSC 方式のテレビ信号から、同期信号成分と輝度信号成分とを分離する為の回路で、良く知られているように周波数分離（フィルタ）回路を用いれば容易に構成できるものである。同期信号分離回路 1706 により分離された同期信号は、良く知られるように垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上、 $T_{SYNC}$  信号として図示した。一方、前記テレビ信号から分離された画像の輝度信号成分を便宜上 DATA 信号と表すが、同信号はシフトレジスタ 1704 に入力される。

シフトレジスタ 1704 は、時系列的にシリアルに入力される前記 DATA 信号を、画像の 1 ライン毎にシリアル／パラレル変換するためのもので、前記制御回路 1703 より送られる制御信号  $T_{SFT}$  に基づいて動作する。すなわち、制御信号  $T_{SFT}$  は、シフトレジスタ 1704 のシフトクロックであると言い換えることもできる。シリアル／パラレル変換

された画像1ライン分（電子放出素子 $n$ 素子分の駆動データに相当する）のデータは、 $I_{D1}$ ないし $I_{DN}$ の $n$ 個の信号として前記シフトレジスタ1704より出力される。

ラインメモリ1705は、画像1ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路1703より送られる制御信号 $T_{MY}$ にしたがって適宜 $I_{D1}$ ないし $I_{DN}$ の内容を記憶する。記憶された内容は、 $I'_{D1}$ ないし $I'_{DN}$ として出力され、変調信号発生器1707に入力される。

変調信号発生器1707は、前記画像データ $I'_{D1}$ ないし $I'_{DN}$ の各々に応じて、電子放出素子1015の各々を適切に駆動変調する為の信号源で、その出力信号は、端子 $Dy1$ ないし $Dyn$ を通じて表示パネル1701内の電子放出素子1015に印加される。

図22を用いて説明したように、本発明に関わる表面伝導型放出素子は放出電流 $I_e$ に対して以下の基本特性を有している。すなわち、電子放出には明確な閾値電圧 $V_{th}$ （後述する実施例の表面伝導型放出素子では8[V]）があり、閾値電圧 $V_{th}$ 以上の電圧を印加された時のみ電子放出が生じる。また、閾値電圧 $V_{th}$ 以上の電圧に対しては、図22のグラフのように電圧の変化に応じて放出電流 $I_e$ も変化する。このことから、本素子にパルス状の電圧を印加する場合、たとえば閾値電圧 $V_{th}$ 以下の電圧を印加しても電子放出は生じないが、閾値電圧 $V_{th}$ 以上の電圧を印加する場合には表面伝導型放出素子から電子ビームが出力される。その際、パルスの波高値 $V_m$ を変化させることにより出力電子ビームの強度を制御することが可能である。また、パルスの幅 $P_w$ を変化させることにより出力される電子ビームの電荷の総量を制御することが可能である。

従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器1707として、一定長さの電圧パルスを生じ、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。また、パルス幅変調方式を実施

するに際しては、変調信号発生器 1707 として、一定の波高値の電圧パルスが発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

シフトレジスタ 1704 やラインメモリ 1705 は、デジタル信号式のものでもアナログ信号式のものでも採用できる。すなわち、画像信号のシリアル/パラレル変換や記憶が所定の速度で行われればよいからである。

デジタル信号式を用いる場合には、同期信号分離回路 1706 の出力信号 DATA をデジタル信号化する必要があるが、これには同期信号分離回路 1706 の出力部に A/D 変換器を設ければよい。これに関連してラインメモリ 115 の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器に用いられる回路が若干異なったものとなる。すなわち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器 1707 には、例えば D/A 変換回路を用い、必要に応じて増幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器 1707 には、例えば高速の発振器および発振器の出力する波数を計数する計数器（カウンタ）および計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

アナログ信号を用いた電圧変調方式の場合、変調信号発生器 1707 には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてシフトレベル回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路（VCO）を採用でき、必要に応じて電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

このような構成をとりうる本発明の適用可能な画像表示装置においては、各電子放出素子に、容器外端子  $Dx1$  乃至  $Dxm$ 、 $Dy1$  乃至  $Dyn$  を介して電圧を印加することにより、電子放出が生じる。高圧端子  $Hv$  を介してメタルバック 1019 あるいは透明電極（不図示）に高圧を印加し、電

子ビームを加速する。加速された電子は、蛍光膜 1018 に衝突し、発光が生じて画像が形成される。

ここで述べた画像表示装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の思想に基づいて種々の変形が可能である。入力信号についてはNTSC方式を挙げたが、入力信号はこれに限るものではなく、PAL、SECAM方式などの他、これらより多数の走査線からなるTV信号(MUSE方式をはじめとする高品位TV)方式をも採用できる。  
(はしご型電子源の場合)

次に、前述のはしご型配置電子源基板およびそれを用いた画像表示装置について図 24 および図 25 を用いて説明する。

図 2 4 において、1 1 1 0 は電子源基板、1 1 1 1 は電子放出素子、1 1 1 2 の D x 1 ~ D x 1 0 は前記電子放出素子に接続する共通配線である。電子放出素子 1 1 1 1 は、基板 1 1 1 0 上に、X 方向に並列に複数個配置される（これを素子行と呼ぶ）。この素子行を複数個基板上に配置し、はしご型電子源基板となる。各素子行の共通配線間に適宜駆動電圧を印加することで、各素子行を独立に駆動することが可能になる。すなわち、電子ビームを放出させる素子行には閾値電圧以上の電圧を、電子放出させない素子行には閾値電圧以下の電圧を印加すればよい。また、各素子行間の共通配線 D x 2 ~ D x 9 を、例えば D x 2、D x 3 を同一配線とするようにしてもよい。

図25は、はしご型配置の電子源を備えた画像形成装置の構造を示す図である。1120はグリッド電極、1121は電子が通過するための空孔、1122はDox1、Dox2・・・Doxmよりなる容器外端子、1123はグリッド電極1120と接続されたG1、G2・・・Gnからなる容器外端子、1110は前述のように各素子行間の共通配線を同一配線とした電子源基板である。なお、図24及び図25における同一の符号は同一の部材を示す。前述の単純マトリクス配置の画像形成装置（図9）との違いは、電子源基板1110とフェースプレート1017の間にグリッド電極1120を備えていることである。

前述のパネル構造は、電子源配置が、マトリクス配線やはしご型配置のいずれの場合でも、大気圧構造上必要に応じて、フェースプレートとリアプレートの間にスペーサ部材（不図示）を設ける事ができる。

電子源基板 1 1 1 0 とフェースプレート 1 0 1 7 の中間には、グリッド電極 1 1 2 0 が設けられている。グリッド電極 1 1 2 0 は、表面伝導型電子放出素子から放出された電子ビームを変調することができるもので、はしご型配置の素子行と直交して設けられたストライプ状の電極に電子ビームを通過させるため、各素子に対応して 1 個ずつ円形の開口 1 1 2 1 が設けられている。グリッドの形状や設置位置は必ずしも図 2 5 のようなものでなくともよく、開口としてメッシュ状に多数の通過口を設けることもあり、また例えば表面伝導型電子放出素子の周囲や近傍に設けてもよい。

容器外端子 1 1 2 2 およびグリッド容器外端子 1 1 2 3 は、不図示の制御回路と電氣的に接続されている。

本画像形成装置では、素子行を1列ずつ順次駆動（走査）していくのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加することにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。

また、本発明によればテレビジョン放送の表示装置のみならずテレビ会議システム、コンピュータ等の表示装置に適した画像形成装置を提供することができる。さらには感光性ドラム等で構成された光プリンターとしての画像形成装置として用いることもできる。

以上説明したように、本発明によれば、スペーサ部材に液相形成により低抵抗膜を付与することにより、工程が簡便、かつ容易であり、また得られる低抵抗膜の電氣的コンタクトも良好であり、かつ、放電耐圧も良好であるので、電子線ディスプレイの表示品位を向上し、かつ量産性と低コスト性等を求められる作製工程およびこれを使用する電子線装置に対して特に有効なものである。

### [实施例]

以下に、実施例を挙げて本発明をさらに詳述する。

以下に述べる各実施例においては、マルチ電子ビーム源として、前述した、電極間の導電性微粒子膜に電子放出部を有するタイプの $n \times m$ 個 ( $n = 3072$ 、 $m = 1024$ ) の表面伝導型放出素子を、 $m$ 本の行方向配線と $n$ 本の列方向配線とによりマトリクス配線 (図9および図10参照) したマルチ電子ビーム源を用いた。

(実施例1：熱エネルギー吐出方式)

本実施例で用いるスペーサを以下のように作成した。

リアプレートと同質のソーダライムガラスからなる母材に加熱延伸法により、断面形状として図1A、1Bおよび図3Aのa-4に示すような、巾3mm、厚み0.2mmで4隅に曲率半径0.02mmのRを有する柱状ガラスを作成した。これを長さ40mmに切り出してスペーサ基板g1を得た。ここで、断面の曲率半径は、100倍の光学的顕微鏡で写真に記録し、画像処理により背景と基板を分離して2値化し、底面 (当接面) および側面領域を除いて (トリミング処理)、円弧をモデル形状としてフィッティングし、曲率半径を求めた。

以下図2A乃至2Eに吐出法による低抵抗膜の作成手順を示す。図中、101はスペーサ基板を示し、側面および端面側から見た状態を表す。吐出工程に先立って、先ず、アセトン、IPA、純水で化学洗浄した後、80℃で30分間乾燥処理を施した後、UVオゾン洗浄を施し基板表面の有機物残基を取り除く処理を施した。

このスペーサ基板g1の側面 (40mm×3mmの面) と底面 (40mm×0.2mmの面) が交差する基板エッジ部位に底面および側面に互いに45度をなす角度で、その基板g1上に有機パラジウム含有溶液 (奥野製薬 (株) 製CCP-4230) を液滴付与装置としてバブルジェット方式を用いたインクジェット噴射装置201を用い、低抵抗膜102の幅が400μm、低抵抗膜102の厚さが1000Åとなるように、液滴を付与した (図2A、2B、2C)。

この時、1液滴量 (1ドット) を60μm<sup>3</sup>とし、低抵抗膜の部分进行形成する際は、10回の液滴付与を行い、低抵抗膜102を一边に形成した (図

[illegible]

得られた、スペーサAの低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な剥がれなども無く膜の被覆性は、良好であった。

まず、あらかじめ基板上に行方向配線電極 1013、列方向配線電極 1014、電極間絶縁層（不図示）、および表面伝導型放出素子の素子電極と導電性薄膜を形成した基板 1011を、リアプレート 1015に固定した。次に、前記スペーサ Aをスペーサ 1020として基板 1011の行方向配線 1013上に等間隔で、行方向配線 1013と平行に固定した。

46



基板1011とリアプレート1015の接合部、リアプレート1015と側壁1016の接合部、およびフェースプレート1017と側壁1016の接合部は、フリットガラス（不図示）を塗布し、大気中で400℃乃至500℃で10分以上焼成することで封着した。また、スペーサ1020は、基板1011側では行方向配線1013（線幅300μm）上に、フェースプレート1017側ではメタルバック1019面上に、導電性のフィラーあるいは金属等の導電材を混合した導電性フリットガラス（不図示）を介して配置し、上記気密容器の封着と同時に、大気中で400℃乃至500℃で10分以上焼成することで、接着しかつ電氣的な接続も行った。

なお、本実施例においては、蛍光膜1018は、図14に示すように、各色蛍光体1401が列方向（Y方向）に延びるストライプ形状を採用し、黒色の導電体1010は各色蛍光体（R、G、B）1401間だけでなくY方向の各画素間をも分離するように配置された蛍光膜が用いられ、スペーサ1020は、行方向（X方向）に平行な黒色の導電体1010の領域（線幅300μm）内にメタルバック1019を介して配置された。

なお、前述の封着を行う際には、各色蛍光体1401と基板1011上に配置された各電子放出素子1012とを対応させなくてはならないため、リアプレート1015、フェースプレート1017およびスペーサ1020は十分な位置合わせを行った。

以上のようにして完成した気密容器内を排気管（不図示）を通じ真空ポンプにて排気し、十分な真空度に達した後、容器外端子Dx1～DxmとDy1～Dynを通じ、行方向配線電極1013および列方向配線電極1014を介して各素子に給電して前述の通電フォーミング処理と通電活性化処理を行うことによりマルチ電子ビーム源を製造した。次に、 $10^{-4}$ Pa程度の真空度で、不図示の排気管をガスバーナーで熱することで溶着し外囲器（気密容器）の封止を行った。最後に、封止後の真空度を維持するために、ゲッター処理を行った。

以上のように完成した、図9および図15に示されるような表示パネル

を用いた画像表示装置において、各冷陰極素子（表面伝導型放出素子）1012には、容器外端子 $Dx1 \sim Dx_m$ 、 $Dy1 \sim Dy_n$ を通じ、走査信号及び変調信号を不図示の信号発生手段よりそれぞれ印加することにより電子を放出させ、メタルバック1019には、高圧端子 $Hv$ を通じて高圧を印加することにより放出電子ビームを加速し、蛍光膜1018に電子を衝突させ、各色蛍光体1401（図14のR、G、B）を励起・発光させることで画像を表示した。なお、高圧端子 $Hv$ への印加電圧 $V_a$ は3[kV]～12[kV]の範囲で徐々に放電が発生する限界電圧まで印加し、各配線1013、1014間への印加電圧 $V_f$ は14[V]とした。高圧端子 $Hv$ に8kV以上の電圧を印加して連続駆動が一時間以上可能な場合に、耐電圧は良好と判断した。

このとき、スペーサA近傍では、耐電圧は良好であった。さらに、スペーサAに近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサAを設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

なお本実施例では、スペーサAの低抵抗膜形成に、液滴を付与する吐出法を用いたことにより、スペーサ基板の接合部位付近のみに別途のパターン形成を行わずに、パターン形成する領域のみに低抵抗膜を形成する事ができる為、原料となる溶液の無駄を省く事ができ、コスト的に有利である。

#### （実施例2：圧電素子吐出方式）

実施例1で使用したスペーサ基板g1を使用し、液滴付与装置として圧電方式用いたインクジェット噴射装置601（図6A参照）を用いた以外は、実施例1の作成方法と同様にして高さ200 $\mu m$ の低抵抗膜102を作成し、さらに実施例1と同様にしてスパッタによる高抵抗膜を作成した。これをスペーサBとする。このとき得られた、スペーサBの低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な膜剥がれなども無く、膜の被覆性は良好であった。

さらに、実施例 1 と同様にして、電子放出素子を組み込んだリアプレート等とともに電子線放出装置（図 9）を作成し、実施例 1 と同条件で、高圧印加および素子駆動を行った。

このとき、スペーサ B 付近の耐電圧は良好であり、さらに、スペーサ B に近い位置にある冷陰極素子 1012 からの放出電子による発光スポットも含め、2 次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサ B を設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

#### （実施例 3：エア−ブラシ方式）

実施例 1 で使用したスペーサ基板 g1 を使用し、液滴付与装置としてエア−ブラシ方式を用いたインクジェット噴射装置（不図示）を用いた以外は、実施例 1 の作成方法と同様にして高さ  $200\ \mu\text{m}$  の低抵抗膜を作成した。なお、エア−ブラシ方式インクジェット噴射装置は、吐出ノズル前面にシャッターとスリットを設け噴霧領域を制限した。さらに実施例 1 と同様にしてスパッタによる高抵抗膜を作成した。これをスペーサ C とする。このとき、得られたスペーサ C の低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な膜剥がれなども無く、膜の被覆性は良好であった。

さらに、実施例 1 と同様にして、電子放出素子を組み込んだリアプレート等とともに電子線放出装置（図 9）を作成し、実施例 1 と同条件で、高圧印加および素子駆動を行った。

このとき、スペーサ C 付近の耐電圧は良好であり、さらに、スペーサ C に近い位置にある冷陰極素子 1012 からの放出電子による発光スポットも含め、2 次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサ C を設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

#### （実施例 4：マルチノズル圧電方式）

実施例 1 で使用したスペーサ基板 g 1 を使用し、液滴付与装置として圧電方式を用いたインクノズルを 10 個、直列に具備したインクジェット噴射装置 602 (図 6 B 参照) を用い、各辺に対する塗工回数を 1 回にした以外は、実施例 1 の作成方法と同様にして高さ  $200\ \mu\text{m}$  の低抵抗膜を作成し、さらに実施例 1 と同様にしてスパッタによる高抵抗膜を作成した。これをスペーサ D とする。このとき、得られたスペーサ D の低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な膜剥がれなども無く、膜の被覆性は良好であった。

さらに、実施例 1 と同様にして、電子放出素子を組み込んだリアプレート等とともに電子線放出装置 (図 9) を作成し、実施例 1 と同条件で、高圧印加および素子駆動を行った。

このとき、スペーサ D 付近の耐電圧は良好であり、さらに、スペーサ D に近い位置にある冷陰極素子 1012 からの放出電子による発光スポットも含め、2 次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサ D を設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

#### (実施例 5 : マルチノズル圧電方式複数方向同時吐出)

実施例 1 で使用したスペーサ基板 g 1 を使用し、液滴付与装置として圧電方式を用いたインクノズルを直列に 10 個具備したインクジェット噴射装置を同時に 4 台用いた吐出装置 603 (図 6 C 参照) を用いて四方から同時に噴射し、一辺の塗工回数を 1 回にし 4 辺同時に形成した以外は、実施例 1 の作成方法と同様にして高さ  $200\ \mu\text{m}$  の低抵抗膜を作成し、さらに実施例 1 と同様にしてスパッタによる高抵抗膜を作成した。これをスペーサ E とする。このとき、得られたスペーサ E の低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な膜剥がれなども無く、膜の被覆性は良好であった。

さらに、実施例 1 と同様にして、電子放出素子を組み込んだリアプレート等とともに電子線放出装置 (図 9) を作成し、実施例 1 と同条件で、高

圧印加および素子駆動を行った。

このとき、スペーサE付近の耐電圧は良好であり、さらに、スペーサEに近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサEを設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

(実施例6：熱エネルギー方式、吐出材料酢酸パラジウム)

実施例1で使用したスペーサ基板g1を使用して、塗工溶液として酢酸パラジウムを水に0.05wt%含有した有機パラジウム含有溶液（酢酸パラジウムーモノエタノールアミン錯体0.66wt%（パラジウム成分量0.15wt%）、イソプロピルアルコール15wt%、水83.29wt%、エチレングリコール1wt%、PVA0.05wt%）を用いた以外は、実施例1と全く同じ方法で低抵抗膜を作成したスペーサに対して、さらに実施例1と同様にしてスパッタによる高抵抗膜を得た。これをスペーサDとする。このとき、得られたスペーサFの低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な膜剥がれなども無く、膜の被覆性は良好であった。

さらに、実施例1と同様にして、電子放出素子を組み込んだリアプレート等とともに電子線放出装置（図9）を作成し、実施例1と同条件で、高圧印加および素子駆動を行った。

このとき、スペーサF近傍においても耐電圧は良好であった。さらに、スペーサFに近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサFを設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

(実施例7：熱エネルギー方式スペーサ微少R)

リアプレートと同質のソーダライムガラスからなる母材に加熱延伸法に

より、断面形状として巾3 mm、厚み0.2 mmで4隅の曲率半径4  $\mu$  mの柱状ガラスを作成した。これを長さ40 mmに切り出してスペーサ基板g 2を得た。この後、実施例1と同じ作成方法により高さ200  $\mu$  mの低抵抗膜を作成し、さらに実施例1と同様にしてスパッタによる高抵抗膜を作成した。これをスペーサGとする。このとき、得られたスペーサGの低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な膜剥がれなども無く、膜の被覆性は良好であった。

さらに、実施例1と同様にして、電子放出素子を組み込んだリアプレート等とともに電子線放出装置（図9）を作成し、実施例1と同条件で、高圧印加および素子駆動を行った。

このとき、スペーサG近傍においても耐電圧は良好であった。さらに、スペーサGに近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサGを設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

#### （実施例8：熱エネルギー方式スペーサアルミナ）

底面と側面間の境界すなわち底面エッジを研磨処理にてエッジから10  $\mu$  mの領域を45度にテーパ加工を行ったアルミナ基板をスペーサ基板a 1とした。この基板a 1に実施例1と同じ作成方法により高さ200  $\mu$  mの低抵抗膜を作成し、さらに実施例1と同様にしてスパッタによる高抵抗膜を作成した。これをスペーサHとする。このとき、得られたスペーサHの低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な膜剥がれなども無く、膜の被覆性は良好であった。

さらに、実施例1と同様にして、電子放出素子を組み込んだリアプレート等とともに電子線放出装置（図9）を作成し、実施例1と同条件で、高圧印加および素子駆動を行った。

このとき、スペーサH近傍においても耐電圧は良好であった。さらに、

スぺーサHに近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スぺーサIIを設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

(実施例9：熱エネルギー方式スぺーサテーパー)

底面と側面間の境界すなわち底面エッジを研磨処理にてエッジから10 $\mu$ mの領域を45度にテーパー加工を行ったソーダライムガラス基板をスぺーサ基板g3とした。この基板g3に実施例1と同じ作成方法により高さ200 $\mu$ mの低抵抗膜を作成し、さらに実施例1と同様にしてスパッタによる高抵抗膜を作成した。これをスぺーサIとする。このとき、得られたスぺーサIの低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な膜剥がれなども無く、膜の被覆性は良好であった。

さらに、実施例1と同様にして、電子放出素子を組み込んだリアプレート等とともに電子線放出装置(図9)を作成し、実施例1と同条件で、高圧印加および素子駆動を行った。

このとき、スぺーサI近傍においても耐電圧は良好であった。さらに、スぺーサIに近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スぺーサIを設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

(実施例10：熱エネルギー方式スぺーサ直角研磨)

底面と側面間の境界すなわち底面エッジを含めて基板の全6面を研磨処理にて相互に直角に配置するよう研磨したソーダライムガラス基板をスぺーサ基板g4とした。この基板g4に実施例1と同じ作成方法により高さ200 $\mu$ mの低抵抗膜を作成し、さらに実施例1と同様にしてスパッタによる高抵抗膜を作成した。これをスぺーサJとする。このとき、得られた

スぺーサ J の低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な膜剥がれが 40 mm の一稜線に 3 個認められ、膜の被覆性は一部不良であった。

さらに、実施例 1 と同様にして、電子放出素子を組み込んだリアプレート等とともに電子線放出装置（図 9）を作成し、実施例 1 と同条件で、高圧印加および素子駆動を行った。

このとき、スぺーサ J 近傍においても耐電圧は良好であった。さらに、スぺーサ J に近い位置にある冷陰極素子 1012 からの放出電子による発光スポットも含め、2 次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スぺーサ J を設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。エッジの被覆率が部分的に不良であったにもかかわらず発光点の乱れが認められなかったのは、残りのほとんどの部分の低抵抗膜部分がコンタクト良好であったために、低抵抗膜上端での共通電位が保たれていたためと理解される。

（実施例 11：熱エネルギー方式スぺーサガラスファイバー）

直径 400  $\mu$ m 高さ 3 mm のガラスファイバーの底面と側面間の境界すなわち底面エッジを研磨処理にてエッジから 10  $\mu$ m の領域を 45 度にテーパ加工を行ったソーダライムガラス基板をスぺーサ基板 g5 とした。この基板 g5 をファイバーの延伸軸を中心として回転させ、吐出ヘッドを固定した以外は、実施例 1 と同じ作成方法により高さ 200  $\mu$ m の低抵抗膜を作成し、さらに実施例 1 と同様にしてスパッタによる高抵抗膜を作成した。これをスぺーサ K とする。このとき、得られたスぺーサ K の低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な膜剥がれなども無く、膜の被覆性は良好であった。

さらに、実施例 1 と同様にして、電子放出素子を組み込んだリアプレート等とともに電子線放出装置（図 9）を作成し、実施例 1 と同条件で、高圧印加および素子駆動を行った。

このとき、スぺーサ K 近傍においても耐電圧は良好であった。さらに、



スペーサKに近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサKを設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

(実施例12：熱エネルギー方式、吐出材料Pt錯体、はしご型配置電子源)

実施例1で使用したスペーサ基板g1を使用して、塗工溶液として有機白金含有溶液（酢酸白金—モノエタノールアミン錯体1.14wt%（白金成分量0.4wt%）、イソプロピルアルコール20wt%、水77.81wt%、エチレングリコール1wt%、PVA0.05wt%）を用い、焼成乾燥温度を350℃にした事以外は、実施例1と全く同じ方法で低抵抗膜を作成したスペーサに対して、さらに実施例1と同様にしてスパッタによる高抵抗膜を作成した。これをスペーサLとする。このとき、得られたスペーサLの低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な膜剥がれなども無く、膜の被覆性は良好であった。

さらに、電子源基板としてはしご型配置の電子源を用い、グリッド電極を配置した以外は実施例1と同様にして、電子放出素子を組み込んだリアプレート等とともに電子線放出装置（図25）を作成し、実施例1と同条件で、高圧印加および素子駆動を行った。

このとき、スペーサL近傍においても耐電圧は良好であった。さらに、スペーサLに近い位置にある冷陰極素子1111からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スペーサLを設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

(実施例13)

本実施例で使用したスペーサNは以下のようにして作成した。

塗出工程を底面（当接面）のみに行うこと以外は、スペーサ基板 g 1 を使用することを含めて実施例 1 と同一の条件で作成した。得られた低抵抗膜付スペーサに実施例 1 と同様にして高抵抗膜を作成した。これをスペーサ N とする。このとき得られたスペーサ N の低抵抗膜部分は、光沢反射が認められた上、側面への部分的な回り込みやうねりなどまた、膜はがれも認められず、被覆性は良好であった。低抵抗膜作成後の底面（当接面、端面）近傍の断面図を図 3 0 に示す。

さらに実施例 1 と同様にして、電子放出素子を組み込んだリアプレート等とともに電子線放出装置（図 9）を作成し、実施例 1 と同条件で、高圧印加および素子駆動を行った。

このとき、スペーサ N 付近の耐電圧は良好であり、さらに、スペーサ N に近い位置にある冷陰極素子 1 0 1 2 からの放出電子による発光スポットも含め、2 次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。

このことは、スペーサ N を設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

（比較例：気相製法スペーサ）

実施例 1 で使用したスペーサ基板 g 1 を使用し、低抵抗膜として、フェースプレート、リアプレートとの接続部に接続部と平行に、高さ 2. 8 m m 幅 4 2 m m 奥行き 1. 1 m m の直方体ガラス製固定治具 8 0 2 を図 8 A、8 B のように前記の高さ 3 m m のスペーサ基板 g 1（同図 8 0 1）と交互に配置して、図 8 C に示すような 2 0 0  $\mu$  m の帯状に 1 0 n m 厚の T i 膜をその後 2 0 0 n m 厚の P t 膜（同図 8 0 3）をどちらもスパッタにより気相形成した。なお、上記スパッタ成膜工程を上下底面側に 2 回行い図 8 D のように形成した。この際、T i 膜は、P t 膜の膜密着性を補強する下地層として必要であった。この後、さらに実施例 1 と同様にしてスパッタによる高抵抗膜を作成した。これをスペーサ M とする。このとき、得られたスペーサ M の低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な膜剥がれなども無く、膜の被覆性

は良好であつた。

さらに、実施例 1 と同様にして、電子放出素子を組み込んだリアプレート等とともに電子線放出装置（図 9）を作成し、実施例 1 と同条件で、高圧印加および素子駆動を行った。

このとき、スぺーサM近傍においても耐電圧は良好であったが、一部、微少放電が確認された。なお、スぺーサMに近い位置にある冷陰極素子1012からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。このことは、スぺーサMを設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

以上本発明による低抵抗膜を形成した試料A～L，Nおよび比較例の試料Mについて、作成方法、電気的コンタクト、発光点変位、および陽極耐電圧について比較すると、試料A～L，Nおよび比較例の試料Mすべての試料についてそのパネル特性としての電気的コンタクト、発光点変位、耐電圧は、良好であり電子放出パネルの耐真空スペーサとして適当な低抵抗膜を形成できた。

しかしながら、比較例の試料Mに比べて、本発明による試料A～I, Nは、製膜装置に高価な真空減圧装置が不要であり、材料の利用効率が高いなどの、生産プロセス上のコスト面でより有利であるという利点を有している。さらには、比較例の試料Mではスパッタ製膜におけるPt膜のガラス基板との密着性の問題から、基板との間に下地層を設けるためのプロセスが必要であるが、本発明によれば、これを省略できるなどの優位性を有している。

また本発明の実施例で示した吐出形成による低抵抗膜に比べて、スパッタ形成膜では電子源基板および陽極基板には電子放出装置として破壊されるに至らない程度の微少放電が発生した。これは、吐出形成した膜の膜厚分布が、周辺になるに従い薄くなるテーパ状断面であるのに対して、スパッタ形成膜ではパターニングした末端での膜エッジは直角な断面であったり、マスクからはがす段階でバリなどの突起がスペーサ外空間に向かっ

て発生する為に、電子線装置中でそれらの突起部に電界が集中しやすい為であると思われる。

なお、実施例 10 の試料 J による耐電圧、ビーム発光位置は、ともに他の実施例の試料と同様良好であったが、基板エッジ部に低抵抗膜の被覆率が低い状態が確認されており、多量生産の際の歩留まり等を考えると、基板エッジの R 処理が被覆率向上の為に好ましい形状である事がわかる。

本願に係る発明によると、気密容器内に設けるスペーサや微小部材に好適に膜を形成することができる。

WHAT IS CLAIMED IS:

1. 内部に電子放出素子を含む気密容器と、該気密容器内に設けられるスペーサとを有する電子線装置の製造方法であって、

前記スペーサとなるスペーサ基板に膜を設ける被膜工程を有しており、該被膜工程は、液状の膜材料を放出部から所定の方に放出して前記スペーサ基板の前記放出部に面する面のうちの一部に付与する付与工程を含むことを特徴とする電子線装置の製造方法。

2. 前記放出部と前記スペーサ基板の相対位置を変更する移動工程を有する請求項1に記載の電子線装置の製造方法。

3. 前記付与工程は、一つの前記放出部から一滴の前記液状の膜材料を放出する工程を有する請求項1もしくは2に記載の電子線装置の製造方法。

4. 前記付与工程は、放出前の液状の膜材料に気泡を発生させて前記放出部から前記液状の膜材料を放出する工程である請求項1に記載の電子線装置の製造方法。

5. 前記付与工程は、圧電素子によって前記放出部から前記液状の膜材料を放出する工程である請求項1に記載の電子線装置の製造方法。

6. 前記付与工程は、液状の膜材料を噴霧する工程を含む請求項1もしくは2に記載の電子線装置の製造方法。

7. 前記噴霧された液状の膜材料の飛翔方向を制限して前記所定の方に放出する請求項6に記載の電子線装置の製造方法。

8. 前記付与された膜材料により前記膜を形成する膜形成工程を更に有する請求項1に記載の電子線装置の製造方法。

9. 前記液状の膜材料が、少なくとも金属元素を含む請求項1に記載の電子線装置の製造方法。

10. 前記膜は電極である請求項1に記載の電子線装置の製造方法。

11. 前記放出部を複数用いて前記付与工程を行う請求項1に記載の電子線装置の製造方法。

12. 内部に電子放出素子を含む気密容器と、該気密容器内に設けら

れるスペーサとを有する電子線装置の製造方法であって、

前記スペーサとなるスペーサ基板に膜を設ける被膜工程を有しており、該被膜工程は、液状の膜材料を1滴ずつ放出部から放出して前記スペーサ基板に付与する付与工程を含むことを特徴とする電子線装置の製造方法。

13. 前記液状の膜材料を一滴ずつ放出する放出部を複数用いて前記付与工程を行う請求項12に記載の電子線装置の製造方法。

14. 前記スペーサ基板の底面と側面に同時に液状の膜材料を付与する請求項1もしくは12に記載の電子線装置の製造方法。

15. 前記スペーサ基板に対し、予めその側面と底面との角部に実質的に鋭角な断面が存在しないように前処理する請求項1もしくは12に記載の電子線装置の製造方法。

16. 前記スペーサ基板の前処理は、側面と底面の間のR加工もしくはテーパ加工である請求項15に記載の電子線装置の製造方法。

17. 前記スペーサ基板の前処理は、前記膜形成部のスペーサ基板の厚さの最大値を $t$ 、前記膜の高さを $h$ 、前記膜の断面内周長を $s$ としたとき、

$$(t^2 + 4h^2) < s^2 < (t + 2h)^2$$

の関係を満足するように行われる請求項15に記載の電子線装置の製造方法。

18. 前記スペーサ基板のR加工を、その曲率半径 $r$ が低抵抗膜形成部のスペーサ基板の厚さの最大値 $t$ の1%以上となるように行う請求項16に記載の電子線装置の製造方法。

19. 前記スペーサ基板のテーパ加工を、研磨によって行う請求項16に記載の電子線装置の製造方法。

20. 前記スペーサ基板を加熱延伸法を用いて加工し、該加熱延伸法において、所望のスペーサ基板の断面積を $S_1$ 、スペーサ母材の断面積を $S_2$ としたとき、 $S_2 > S_1$ 、の関係を満足し、かつスペーサ基板の断面と相似形状を有するスペーサ母材の両端を固定し長手方向の一部を軟化点以上の温度に加熱するとともに、一方の端部を加熱部位方向に速度 $V_1$ で送り出

し、もう一方の端部を $V_1$ と同一方向に速度 $V_2$ で引き出す際に、これらの速度が、 $S_1/S_2=V_1/V_2$ 、の関係を満たし、

上記加熱延伸後に冷却し、引き伸ばされたスペーサ母材を所望の長さに切断する請求項1もしくは12に記載の電子線装置の製造方法。

21. 前記スペーサ基板は、ガラスまたはセラミックから成る請求項1もしくは12に記載の電子線装置の製造方法。

22. 前記膜を形成したスペーサに、更に高抵抗膜を形成する請求項1もしくは12に記載の電子線装置の製造方法。

23. 前記高抵抗膜は、 $10^5$  [ $\Omega/\square$ ]  $\sim 10^{12}$  [ $\Omega/\square$ ] の表面抵抗値を有する請求項22に記載の電子線装置の製造方法。

24. 前記膜の表面抵抗値が、前記高抵抗膜の表面抵抗値の十分の一以下であり、かつ $10^7$  [ $\Omega/\square$ ] 以下である請求項23に記載の電子線装置の製造方法。

25. 内部に電子放出素子を含む気密容器と、該気密容器内に設けられる微小部材とを有する電子線装置の製造方法であって、

前記微小部材となる微小基板に膜を設ける被膜工程を有しており、該被膜工程は、液状の膜材料を放出部から所定の方法に放出して前記微小基板の前記放出部に面する面のうちの一部に付与する付与工程を含むことを特徴とする電子線装置の製造方法。

26. 内部に電子放出素子を含む気密容器と、該気密容器内に設けられる微小部材とを有する電子線装置の製造方法であって、

前記微小部材となる微小基板に膜を設ける被膜工程を有しており、該被膜工程は、液状の膜材料を1滴ずつ放出部から放出して前記微小基板に付与する付与工程を含むことを特徴とする電子線装置の製造方法。

27. 内部に電子放出素子を含む気密容器と、該気密容器内に設けられるスペーサとを有する電子線装置で用いる前記スペーサの製造方法であって、

前記スペーサとなるスペーサ基板に膜を設ける被膜工程を有しており、該被膜工程は、液状の膜材料を放出部から所定の方法に放出して前記スペーサ

一サ基板の前記放出部に面する面のうちの一部に付与する付与工程を含むことを特徴とするスペーサの製造方法。

28. 前記放出部と前記スペーサ基板の相対位置を変更する移動工程を有する請求項27に記載のスペーサの製造方法。

29. 前記付与工程は、一つの前記放出部から一滴の前記液状の膜材料を放出する工程を有する請求項27もしくは28に記載のスペーサの製造方法。

30. 前記付与工程は、放出前の液状の膜材料に気泡を発生させて前記放出部から前記液状の膜材料を放出する工程である請求項27に記載のスペーサの製造方法。

31. 前記付与工程は、圧電素子によって前記放出部から前記液状の膜材料を放出する工程である請求項27に記載のスペーサの製造方法。

32. 前記付与工程は、液状の膜材料を噴霧する工程を含む請求項27に記載のスペーサの製造方法。

33. 前記噴霧された液状の膜材料の飛翔方向を制限して前記所定の方に放出する請求項32に記載のスペーサの製造方法。

34. 前記付与された膜材料により前記膜を形成する膜形成工程を更に有する請求項27に記載のスペーサの製造方法。

35. 前記液状の膜材料が、少なくとも金属元素を含む請求項27に記載のスペーサの製造方法。

36. 前記膜は電極である請求項27に記載のスペーサの製造方法。

37. 前記放出部を複数用いて前記付与工程を行う請求項27に記載のスペーサの製造方法。

38. 内部に電子放出素子を含む気密容器と、該気密容器内に設けられるスペーサとを有する電子線装置で用いる前記スペーサの製造方法であって、

前記スペーサとなるスペーサ基板に膜を設ける被膜工程を有しており、該被膜工程は、液状の膜材料を1滴ずつ放出部から放出して前記スペーサ基板に付与する付与工程を含むことを特徴とするスペーサの製造方法。



39. 前記液状の膜材料を一滴ずつ放出する放出部を複数用いて前記付与工程を行う請求項38に記載のスペーサの製造方法。

40. 前記スペーサ基板の底面と側面に同時に液状の膜材料を付与する請求項27もしくは38に記載のスペーサの製造方法。

41. 前記スペーサ基板に対し、予めその側面と底面との角部に実質的に鋭角な断面が存在しないように前処理する請求項27もしくは38に記載のスペーサの製造方法。

42. 前記スペーサ基板の前処理は、側面と底面の間のR加工もしくはテーパ加工である請求項41に記載のスペーサの製造方法。

43. 前記スペーサ基板の前処理は、前記膜形成部のスペーサ基板の厚さの最大値を  $t$ 、前記膜の高さを  $h$ 、前記膜の断面内周長を  $s$  としたとき、

$$(t^2 + 4h^2) < s^2 < (t + 2h)^2$$

の関係を満足するように行われる請求項41に記載のスペーサの製造方法。

44. 前記スペーサ基板のR加工を、その曲率半径  $r$  が低抵抗膜形成部のスペーサ基板の厚さの最大値  $t$  の1%以上となるように行う請求項42に記載のスペーサの製造方法。

45. 前記スペーサ基板のテーパ加工を、研磨によって行う請求項42に記載のスペーサの製造方法。

46. 前記スペーサ基板を加熱延伸法を用いて加工し、該加熱延伸法において、所望のスペーサ基板の断面積を  $S_1$ 、スペーサ母材の断面積を  $S_2$  としたとき、 $S_2 > S_1$ 、の関係を満足し、かつスペーサ基板の断面と相似形状を有するスペーサ母材の両端を固定し長手方向の一部を軟化点以上の温度に加熱するとともに、一方の端部を加熱部位方向に速度  $V_1$  で送り出し、もう一方の端部を  $V_1$  と同一方向に速度  $V_2$  で引き出す際に、これらの速度が、 $S_1 / S_2 = V_1 / V_2$ 、の関係を満たし、

上記加熱延伸後に冷却し、引き伸ばされたスペーサ母材を所望の長さに切断する請求項27もしくは38に記載のスペーサの製造方法。

47. 前記スペーサ基板は、ガラスまたはセラミックから成る請求項

27もしくは38に記載のスペーサの製造方法。

48. 前記膜を形成したスペーサに、更に高抵抗膜を形成する請求項27もしくは38に記載のスペーサの製造方法。

49. 前記高抵抗膜は、 $10^5$  [ $\Omega/\square$ ]  $\sim 10^{12}$  [ $\Omega/\square$ ] の表面抵抗値を有する請求項48に記載のスペーサの製造方法。

50. 前記膜の表面抵抗値が、前記高抵抗膜の表面抵抗値の十分の一以下であり、かつ $10^7$  [ $\Omega/\square$ ] 以下である請求項49に記載のスペーサの製造方法。

51. 請求項1、12、25もしくは26のいずれかの製造方法により得られたことを特徴とする電子線装置。

52. 前記電子放出素子は、冷陰極素子である請求項51に記載の電子線装置。

53. 前記電子放出素子は、電極間に電子放出部を含む導電性膜を有する電子放出素子である請求項51に記載の電子線装置。

54. 前記電子放出素子は、表面伝導型電子放出素子である請求項51に記載の電子線装置。

55. 前記気密容器は、前記電子放出素子に対向配置されるフェースプレートを有し、該フェースプレートは、入力信号に応じて前記電子放出素子から放出された電子の照射により画像を形成する画像形成部材を有する請求項51に記載の電子線装置。

56. 前記画像形成部材が蛍光体から成る請求項55に記載の電子線装置。

1. Personal Information	
Name	Mr. John Doe
Age	35
Gender	Male
Address	123 Main St, Apt 4B, New York, NY 10001
Phone	(212) 555-1234
Email	john.doe@example.com
2. Employment History	
Current Employer	ABC Corporation
Position	Software Engineer
Start Date	2018-01-15
End Date	2020-12-31
Salary	\$85,000
Previous Employer	XYZ Inc.
Position	Junior Developer
Start Date	2015-03-01
End Date	2017-12-31
Salary	\$60,000
3. Education	
Degree	B.S. in Computer Science
University	State University of New York
Graduation Date	2012-05-15
GPA	3.8
Relevant Courses	Computer Systems, Data Structures, Algorithms
4. Skills	
Programming Languages	Python, JavaScript, Java
Frameworks	Django, React, Spring
Tools	Git, Docker, Kubernetes
Soft Skills	Teamwork, Communication, Problem Solving
5. References	
Ref 1 Name	Mr. Jane Smith
Ref 1 Title	Senior Manager
Ref 1 Company	ABC Corporation
Ref 1 Phone	(212) 555-5678
Ref 1 Email	jane.smith@abc.com
Ref 2 Name	Mr. Robert Johnson
Ref 2 Title	Lead Engineer
Ref 2 Company	XYZ Inc.
Ref 2 Phone	(212) 555-9012
Ref 2 Email	robert.johnson@xyz.com

内部に電子放出素子を含む気密容器と、気密容器内に設けられるスペーサとを有する電子線装置の製造方法であって、スペーサとなるスペーサ基板に膜を設ける被膜工程を有しており、該被膜工程は、液状の膜材料を放出部から所定の方法に放出して前記スペーサ基板の前記放出部に面する面のうちの一部に付与する付与工程を含むことを特徴とする。